

## CMOS光通信用ICの高速化に関する研究

著者	田邊 昭
学位授与機関	Tohoku University
URL	<a href="http://hdl.handle.net/10097/55166">http://hdl.handle.net/10097/55166</a>



①

# 博士學位論文

論文題目 CMOS光通信用ICの  
高速化に関する研究

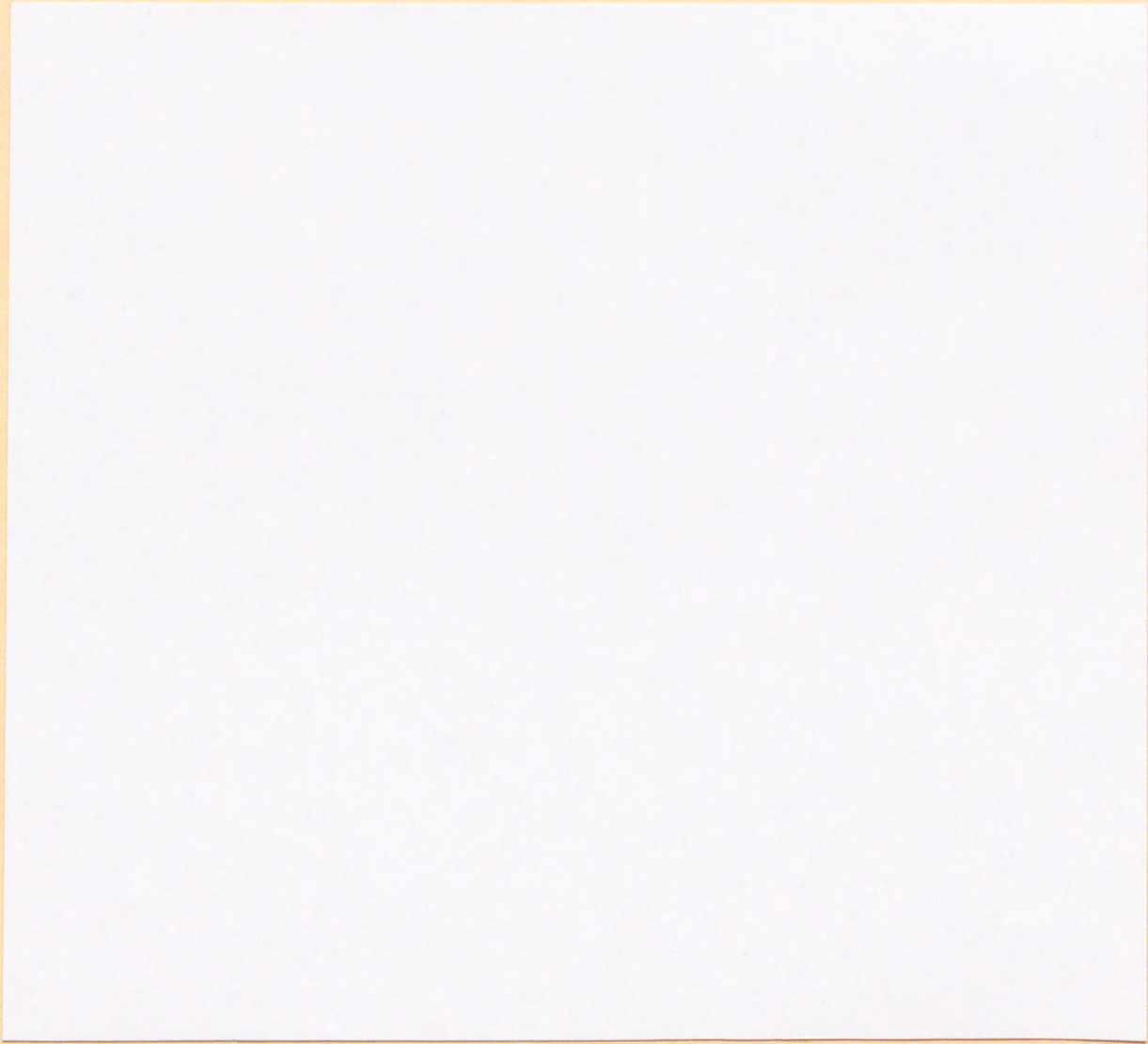
提出者 東北大学大学院工学研究科  
電子工学 専攻

学籍番号 97TD9307

氏名 田邊 昭



指 導 教 官	件岡 富士雄 教 授
審 査 委 員 (○印は主査)	○ 件岡富士雄 教 授 1 坪内和夫 教 授 2 室田淳一 教 授 3 遠藤哲郎 助 教 授 4 教 授





## 目次

第1章 序論	3
参考文献	9
第2章 MOSFETの高速化のための設計指針	10
2-1. はじめに	10
2-2. デバイス試作条件	10
2-3. デバイス特性	10
2-4. 遅延時間の解析	13
2-4-1. 遅延時間の分類	13
2-4-2. 抵抗成分の影響	16
2-4-3. 容量成分の影響	16
2-4-4. Localized Channel Implant 方式	19
2-4-5. 寄生容量のスケーリング	19
2-4-6. Localized channel implant 法の効果	23
2-5. 本章のまとめ	23
参考文献	25
第3章 基板クロストークの解析	26
3-1. はじめに	26
3-2. クロストークの発生	28
3-3. クロストークの測定	30
3-3-1. 測定パターン	30
3-3-2. 測定方法	31
3-3-3. ウェル形成条件	34
3-3-4. 拡散層-拡散層クロストーク	34
3-3-5. しきい値電圧の変動	37
3-4. クロストークのモデル	41
3-4-1. 伝達特性のモデル	41
3-4-2. 抵抗・容量の影響	46
3-5. クロストークの MOSFET への影響	47
3-5-1. MOSFET の等価回路	47
3-5-2. クロストーク感度	47
3-6. クロストーク対策	49
3-6-1. 種々のクロストーク対策	49
3-6-2. 従来クロストーク対策	50
3-6-3. MOSFET の動作点	50
3-7. 浅いポケット注入による基板効果の低減	52
3-7-1. 各種ポケット注入方式	52
3-7-2. 浅いポケット注入方式の効果	54



3-7-3. しきい値ばらつき	58
3-8. Asymmetrical Channel Implant 方式のシールド効果	60
3-8-1. Asymmetrical Channel Implant 方式	60
3-8-2. Asymmetrical Channel Implant 方式の効果	62
3-9. 本章のまとめ	67
補足	68
参考文献	71
 第4章 GHz 動作 CMOS DEMUX	 73
4-1. はじめに	73
4-2. CMOS のスケーリング	73
4-3. DEMUX 回路	76
4-4. デバイス特性	79
4-5. 本章のまとめ	83
参考文献	85
 第5章 2.4Gb/s 光受信器の CMOS による 1 チップ化	 86
5-1. はじめに	86
5-2. プリアンプ回路	86
5-2-1. 光受信器回路の動作	86
5-2-2. 種々のプリアンプ	86
5-2-3. プリアンプ回路	88
5-2-4. クロストークのシミュレーション	93
5-2-5. クロストークの測定	95
5-3. 光通信用 IC 回路	98
5-3-1. 実際のプリアンプ回路	98
5-3-2. 自動ゲイン調整回路 (AGC)	98
5-3-3. PLL, DEMUX 回路	104
5-3-4. 試作プロセス	104
5-4. 光受信器の測定結果	104
5-4-1. プリアンプ	104
5-4-2. AGC	107
5-4-3. 全体回路の特性	111
5-5. 本章のまとめ	115
参考文献	116
 第6章 結論	 117
 謝辞	 120
研究業績一覧	121



## 第1章 序論

近年インターネットなどのコンピューター間通信の普及により、情報通信需要は大幅に増加している。特にマルチメディア関連のデータはデータ量が多く大きな負荷となる。例えば高品質の音声や動画データなどは通常の通話での音声データが64kb/s程度のデータ量であるのに対して、高音質の音声データではCD規格で約700kb/s程度、さらに動画ではMPEG2で~6Mb/sと約10~100倍のデータ量があるため、従来の電話回線の伝送能力ではこれらを実時間で伝送することは困難である。

現在の電話回線はISDNを除くと一般家庭から電話局まではアナログ伝送が用いられ、そこでデジタル信号に変換されて電話局間はデジタルで通信が行われている。この電話局間の通信は光ファイバーによる通信が主となっており、現在では2.4Gb/sの規格[1.1]が主流で一部10Gb/sの規格も用いられつつある。このような高速な光通信が一般家庭まで使用されれば、大容量のマルチメディアデータも容易に伝送することが可能となる。また、この高速光通信は光LANなどのローカルな伝送においても非常に有用である。

このようなギガビット級の光通信の普及のためには低コストで低消費電力の光通信用ICが不可欠である。表1-1は主なロジック素子の特長を比較したものである。MOSFETはゲインが他のデバイスに比べて低いために動作速度が遅いが、消費電力が少ないため集積度を高めることができ、低コストなシステムを作ることができる。SiバイポーラはMOSFETよりも高速な動作が可能であるが、待機時にも動作時と同等の電力を消費するために消費電力が大きくなり、集積度をMOSFETほどには上げられず高コストとなる。GaAsのMESFETやHBTもMOSFETに比べて高速であるが、Siバイポーラと同じく消費電力が大きく、さらにGaAs用のプロセスはSiのプロセスに比べて高コストな工程を使用し、歩留まりも低いためにSiバイポーラよりもさらに高コストとなるという問題がある。以上のことから、低コスト低消費電力な光通信用ICを作るためにはバルクCMOSが適していると考えられる。

図1-1はこれまでに発表された光通信用ICの部品であるマルチプレクサー(MUX パラレル-シリアル変換器)、デマルチプレクサー(DEMUX シリアル-パラレル変換器)のうち、ギガビット領域で動作するものの電力-遅延積を示したものである。図で横軸は動作速度、縦軸は消費電力であり、図の右下に近づくほど高速で低消費電力な素子ということになる。図のようにこれまではギガビット領域で動作するチップはGaAs MESFET, GaAs HBTやSiバイポーラに限られており[1.2-4]、バルクのCMOSは動作速度が遅いために用いられてこなかった。

図1-2は一般的な光通信用ICのブロック図を示したものである[1.2,5]。光送信器では、入力データは信号処理部でエラー訂正符号の付加等の処理を行った後、MUX部分でパラレルデータからシリアルデータに変換される。そのシリアルデータがレ



	速度	消費電力	集積度	コスト
Bulk CMOS	×	○	○	○
Si Bipolar	△	×	△	△
GaAs MESFET	△	×	×	×
GaAs HBT	○	×	×	×

表1-1 ロジック素子の比較

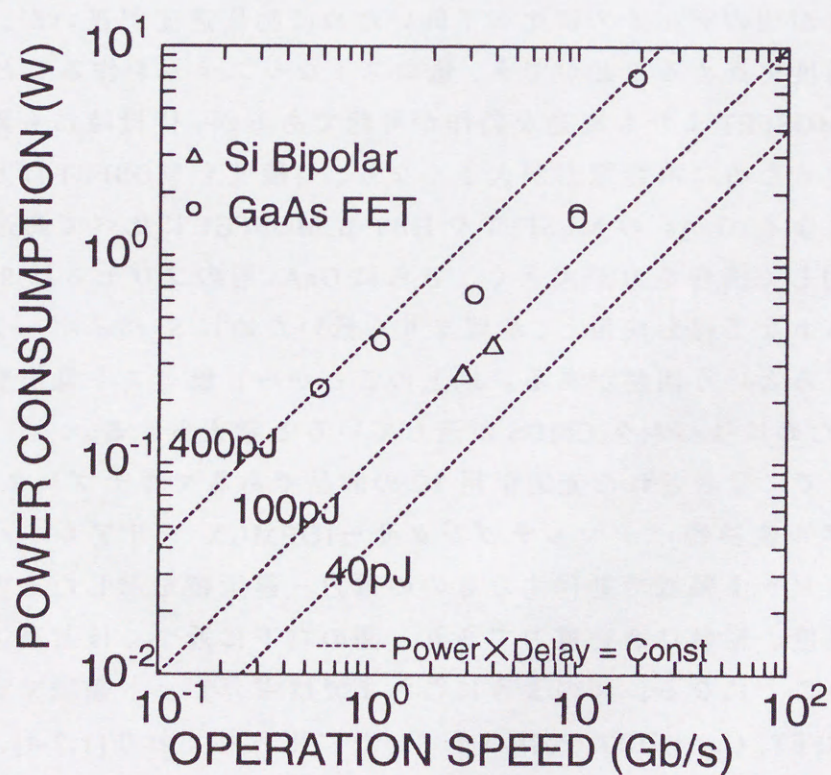
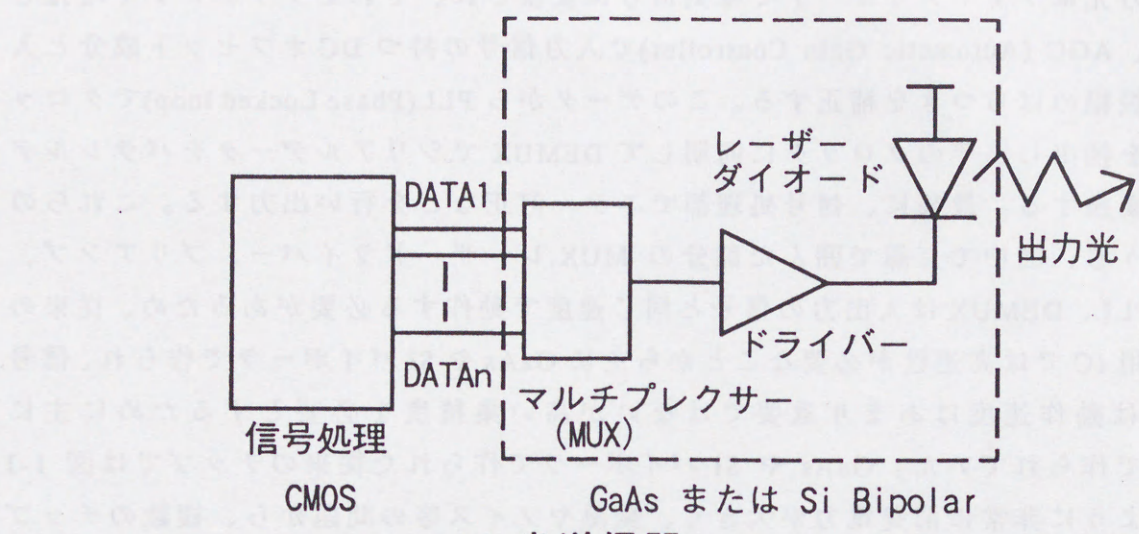
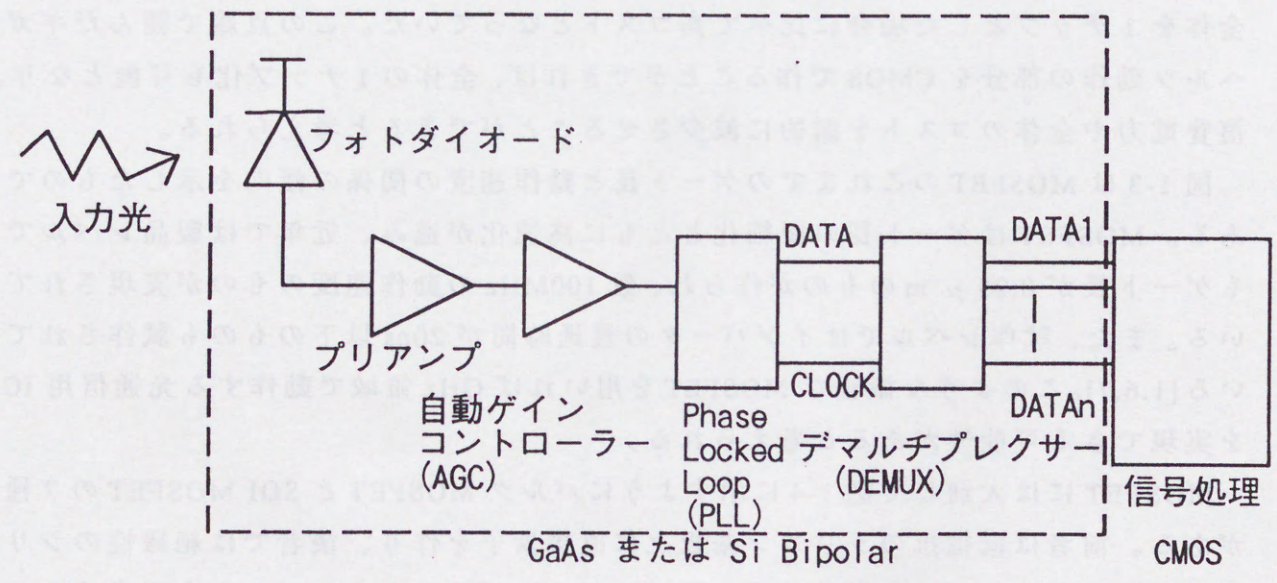


図1-1 従来の光通信用IC





(a) 光送信器



(b) 光受信器

図1-2 光通信用ICのブロック図



ーザードライバーを経由してレーザーダイオードで光信号に変換される。光受信器では入力光はフォトダイオードで電気信号に変換され、それをプリアンプで増幅してから、AGC (Automatic Gain Controller)で入力信号の持つ DC オフセット成分と入力信号振幅のばらつきを補正する。このデータから PLL(Phase Locked loop)でクロック成分を抽出し、そのクロックに同期して DEMUX でシリアルデータをパラレルデータに変換する。最後に、信号処理部でエラー訂正などを行い出力する。これらの回路のうち、図中で点線で囲んだ部分の MUX, レーザードライバー、プリアンプ、AGC、PLL、DEMUX は入出力の信号と同じ速度で動作する必要があるため、従来の光通信用 IC では高速性が必要なことから主に GaAs や Si バイポーラで作られ、信号処理部は動作速度はあまり重要ではないが高い集積度を必要とするために主に CMOS で作られていた。GaAs や Si バイポーラで作られた従来のチップでは図 1-1 に示すように非常に消費電力が大きく、発熱やノイズ等の問題から、複数のチップを用いたマルチチップモジュールとすることが一般的であった[1,2,5]。このために全体を 1 チップとした場合に比べて高コストとなっていた。この点線で囲んだギガヘルツ動作の部分を CMOS で作ることができれば、全体の 1 チップ化も可能となり、消費電力や全体のコストを劇的に減少させることができると考えられる。

図 1-3 は MOSFET のこれまでのゲート長と動作速度の関係の傾向を示したものである。MOSFET はゲート長の微細化とともに高速化が進み、近年では製品レベルでもゲート長が  $0.25\ \mu\text{m}$  のものが作られ、数 100MHz の動作速度のものが実現されている。また、試作レベルではインバータの遅延時間が 20ps 以下のものも試作されている[1,6,7]。このような微細な MOSFET を用いれば GHz 領域で動作する光通信用 IC を実現できる可能性があると考えられる。

MOSFET には大別して図 1-4 に示すようにバルク MOSFET と SOI MOSFET の 2 種がある。前者は低抵抗のシリコン基板上に直接素子を作り、後者では絶縁性のシリコン酸化膜上にシリコン単結晶層を形成してその部分にトランジスタを形成する。このため、SOI の方がトランジスタと基板との間のカップリングが小さくなるため、高速な動作が可能であるが、チャネルの部分が電氣的に浮いた状態となり、電流-電圧特性が不安定となる(基板浮遊効果)という問題がある。また SOI では SOI 用の基板は高価であり、歩留まりも低いためにバルクの MOSFET より高価となるという問題があった。一方、バルク MOSFET では基板が導電性であるため、基板とゲート・ソース・ドレインとの間に大きな寄生容量が存在し、これによって動作速度の低下や基板を介したクロストークなどの問題が発生する。クロストークの問題は特に図 1-2 の光受信器のようにアナログ回路(プリアンプ、AGC)とデジタル回路(PLL、DEMUX、信号処理部)を 1 チップに集積したときのアナログ回路に対して深刻な問題となる[1,5]。このような問題は GHz などの高速な領域で特に顕著となるためにこ



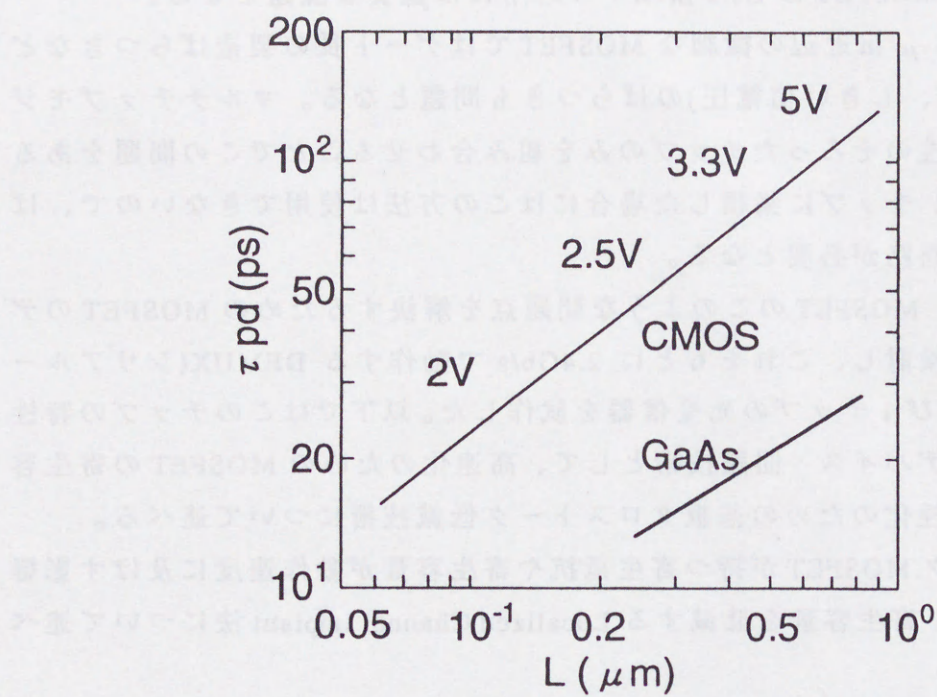


図1-3 MOSFETの高速化

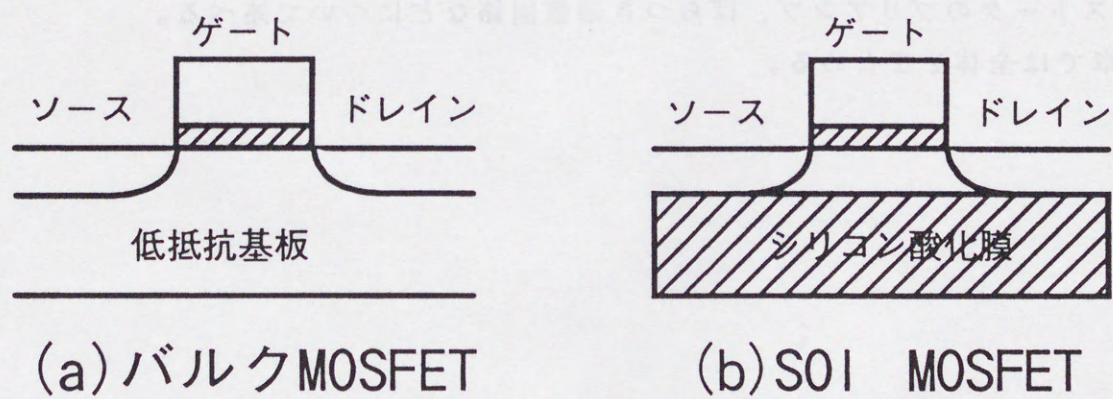


図1-4 バルク・SOI MOSFET



これらの抑制がバルク MOSFET の GHz 領域への応用には重要な課題となる。

また、ゲート長  $0.1\ \mu\text{m}$  近辺の微細な MOSFET ではゲート長の製造ばらつきなどによる特性(オン電流、しきい値電圧)のばらつきも問題となる。マルチチップモジュールの場合には特性のそろったチップのみを組み合わせることでこの問題をある程度回避できるが、1 チップに集積した場合にはこの方法は使用できないので、ばらつきに強い素子や回路が必要となる。

本研究では、バルク MOSFET のこのような問題点を解決するための MOSFET のデバイス構造・回路を検討し、これをもとに  $2.4\text{Gb/s}$  で動作する DEMUX(シリアル-パラレル変換器)および 1 チップの光受信器を試作した。以下ではこのチップの特性およびそれに用いたデバイス・回路技術として、高速化のための MOSFET の寄生容量低減技術、高信頼性化のための基板クロストーク低減技術について述べる。

まず 2 章ではバルク MOSFET が持つ寄生抵抗や寄生容量が動作速度に及ぼす影響について解析を行い、寄生容量を低減する Localized Channel Implant 法について述べる。

3 章ではバルク MOSFET における基板を介したクロストークについて述べ、クロストークを表す等価回路について説明し、それから導かれる各種のクロストーク低減策、ウェル構造、MOSFET の動作点、浅いポケット注入、Asymmetrical Channel Implant 方式等について説明する。

4 章では、試作した GHz 動作の DEMUX とその設計手法について述べる。

5 章では、以上の知見を元に試作した 1 チップの光受信器 IC とそれに使用した低クロストークのプリアンプ、ばらつき補償回路などについて述べる。

6 章では全体をまとめる。



#### 参考文献

- [1.1] 米津 宏雄, "光通信素子工学", 工学図書, 1984
- [1.2] M.Soda, T.Suzaki, T.Morikawa, H.Tezuka, C.Ogawa, S.Fujita, H.Takemura and T.Tashiro, "A Si Bipolar Chip Set for 10Gb/s Optical Receiver", ISSCC Dig. Tech. Papers, 100(1992).
- [1.3] N.Higashisaka, M.Shimada, A.Ohta, K.Kosogi, Y.Tobita and T.Mitsui, "GaAs DCFL 2.5Gbps 16-bit Multiplexer/Demultiplexer LSI's", IEEE J. Solid-State Circuits, Vol. 29, No.7, 808(1994).
- [1.4] T.Kuroda, T.Fujita, Y.Itabashi, S.Kabumoto, M.Noda and A.Kanuma, "1.65Gb/s 60mW 4:1 Multiplexer and 1.8Gb/s 80mW Demultiplexer Ics Using 2V 3-Level Series-Gating ECL Circuits", ISSCC Dig. Tech. Papers, 36(1995).
- [1.5] N.Ishihara, M.Nakamura, Y.Akazawa, N.Uchida and Y.Akahori, "3.3V, 50Mb/s CMOS Tranceiver for Optical Burst-Mode Communication", ISSCC Dig. Tech. Papers, 244(1997).
- [1.6] M.Ono, M.Saito, T.Yoshitomi, C.Fiegna, T.Ohguro and H.Iwai, "Sub-50nm Gate Length n-MOSFETs with 10nm Phosphorus Source and Drain Junctions", IEDM Tech. Dig., 119(1993).
- [1.7] K.Takeuchi, T.Yamamoto, A.Furukawa, T.Tamura and K.Yoshida, "High Performance Sub-Tenth Micron CMOS Using Advanced Boron Doping and WSi<sub>2</sub> Dual Gate Process", Symp. on VLSI Tech. Dig., 9(1995).



## 第2章 MOSFETの高速化のための設計指針

### 2-1. はじめに

近年、MOSFETは加工技術の微細化によりゲート長  $0.1\ \mu\text{m}$  近辺、さらにサブ  $0.1\ \mu\text{m}$  のものが試作されている。このような微細な MOSFET の高性能化のためにはトランジスタ周りの寄生容量や寄生抵抗の低減が不可欠である[2.1-2.5]。従来このような微細 CMOS に対する寄生成分の影響は系統的には調べられていなかった[2.3]。一般的に、MOSFETではゲート以外の部分はゲート長ほどには微細化されないため、ゲート長が短くなるほどこれらの問題は大きくなる。種々の寄生容量や寄生抵抗の中でも特にソース・ドレイン部分の接合容量は微細 MOSFET の高速化・低消費電力化にとって障害となる。そこで、本章では光通信用 IC に用いたゲート長  $0.15\ \mu\text{m}$  の MOSFET の特性と低寄生容量化のための設計手法について述べる。

### 2-2. デバイス試作条件

図 2-1 は試作したゲート長  $0.15\ \mu\text{m}$  の CMOS トランジスタの断面図である。また、表 2-1 には主なデバイスパラメータを示す。ゲート電極には短チャネル効果を抑制するために nMOS, pMOS にそれぞれ n+, p+ポリシリコンを用いるデュアルゲート方式を用いた。これらのゲート電極へのイオン注入はマスク工程の簡略化のためにソース・ドレイン部へのイオン注入と同時にを行った。イオン注入後の活性化には RTA(Rapid Thermal Annealing)を用い、 $1050^{\circ}\text{C}$  の 10 秒の熱処理を行った。これにより、アニール時のチャネルやソース・ドレイン不純物の拡散を小さくでき、短チャネル効果を抑制できる。

ゲート電極の露光には電子線露光(EB 露光)を用い、それ以外の露光には i 線による光露光を用いた。ゲート電極のエッチングには ECR プラズマエッチャーを使用した。

素子分離には LOCOS 分離を使用し、平坦化のために LOCOS 酸化前に LOCOS 部の Si を掘り込むリセス LOCOS 方式を用いた。

### 2-3. デバイス特性

図 2-2, 3 は試作したゲート長  $0.15\ \mu\text{m}$ 、ゲート幅  $10\ \mu\text{m}$  の nMOSFET と pMOSFET の  $I_D$ - $V_D$  特性と  $I_D$ - $V_G$  特性である。両者の実効チャネル長  $L_{\text{eff}}$  はそれぞれ nMOSFET が  $0.13\ \mu\text{m}$ 、pMOSFET が  $0.10\ \mu\text{m}$  であった。nMOS, pMOS 共に良



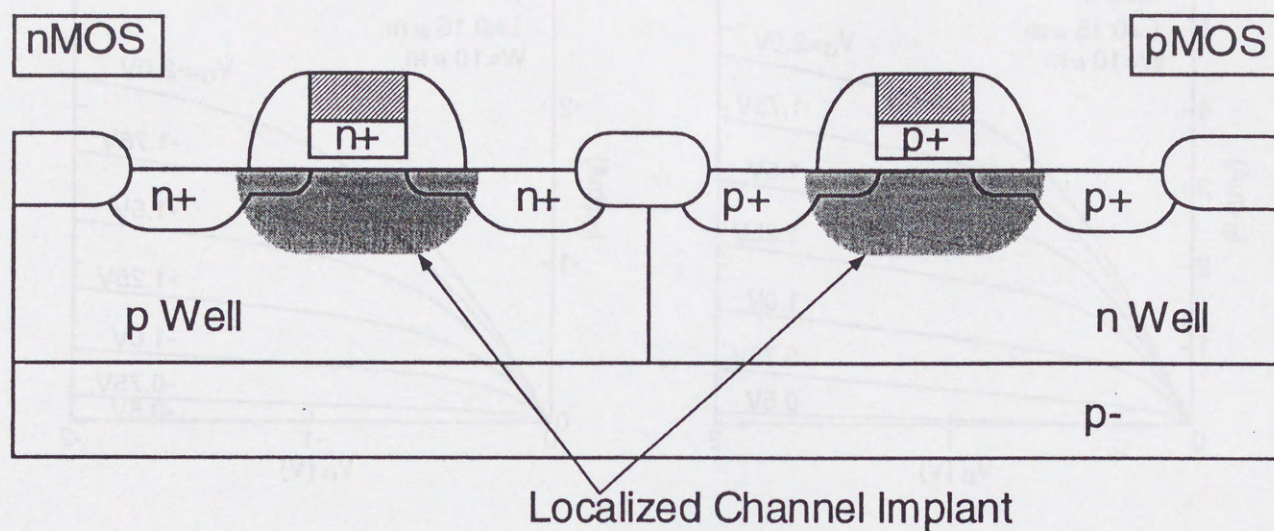


図2-1 CMOS断面図

表2-1 主なデバイスパラメーター

	nMOS	pMOS
ゲート長		0.15 $\mu\text{m}$
ゲート酸化膜厚		5nm
熱処理		RTA 1050°C 10秒
しきい値電圧	0.31V	-0.47V
Gm (VD=1.5V)	317mS/mm	168mS/mm



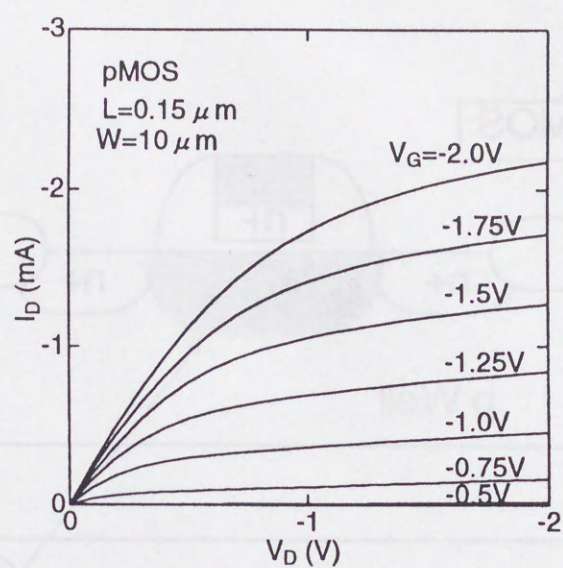
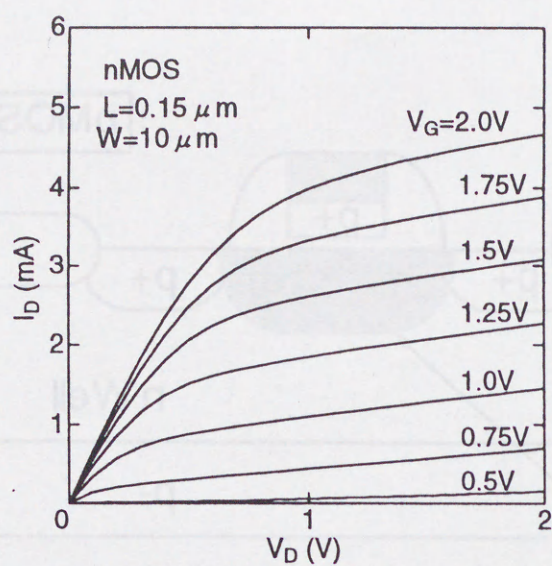


図2-2  $I_D$ - $V_D$ 特性

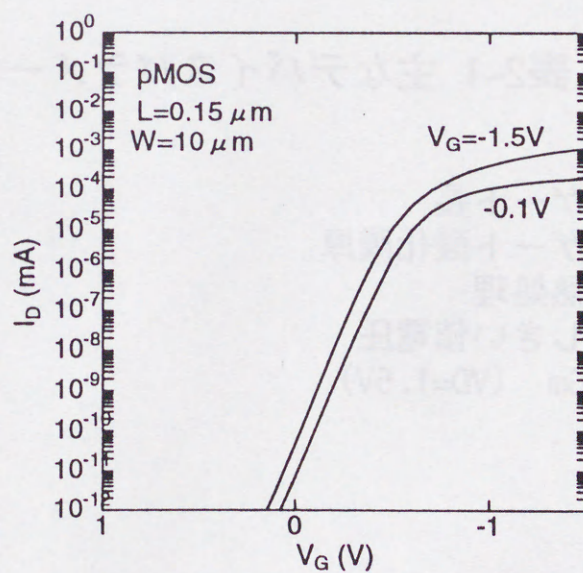
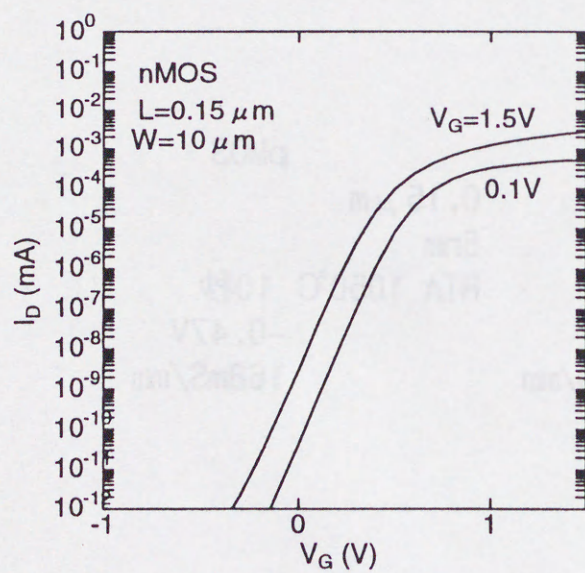


図2-3  $I_D$ - $V_G$ 特性



い飽和特性が得られている。トランスコンダクタンス  $G_m$  は  $V_D=1.5V$  の時に nMOSFET で  $317mS/mm$ 、pMOSFET で  $168mS/mm$  であった。

次に、CMOS のリングオシレーターを用いてこのトランジスタの AC 特性を評価した。リングオシレーターは 101 段で nMOS, pMOS のゲート幅はそれぞれ  $4\mu m$  と  $8\mu m$  である。このときのゲート一段あたりの遅延時間は電源電圧  $1.9V$  で  $33ps$  であった。また、ゲート幅  $1\mu m$  あたりのトランジスタの待機電流は nMOS, pMOS 共に  $10pA/\mu m$  以下と小さく抑えられている。このトランジスタのホットキャリア寿命は、電源電圧  $1.9V$  で約 10 年であった[2.6]。

図 2-4 は実測(実線)と SPICE シミュレーション(点線)により求めたリングオシレーターの遅延時間の比較である。SPICE シミュレーションに用いた寄生抵抗と寄生容量はこのトランジスタと同じウエハー上に作られたパラメーター測定用のパターンから直接求めたものである。図のように、シミュレーション値と実測値はほぼ良い一致が見られており、この手法によってトランジスタレベルの遅延時間が精度良く求められていることがわかる。以降ではこの SPICE パラメーターを用いて、寄生成分と遅延時間・消費電力の関係について考察する。

## 2-4. 遅延時間の解析

### 2-4-1. 遅延時間の分類

図 2-5 は MOSFET の持つ主な寄生容量や寄生抵抗を示したものである。ここでは抵抗性分として、チャネル部のみの純粋な抵抗であるチャネル抵抗  $R_{CH}$  と LDD およびソース・ドレイン拡散層の抵抗  $R_{SD}$  とコンタクトの抵抗  $R_{CON}$  とゲート電極部分の抵抗であるゲート抵抗  $R_G$  について考慮しており、容量成分としてはゲート電極の純粋な容量であるゲート容量  $C_G(=L_{EFF} \times W_{EFF} \times \epsilon_{SiO_2} \times T_{OX})$ 、ゲート電極の側壁部とソース・ドレイン拡散層の間の容量であるフリンジ容量  $C_{FR}$ 、ソース・ドレイン拡散層と基板との間の容量である接合容量  $C_J$  について考慮している。

図 2-6 は図 2-4 に示したリングオシレーターの遅延時間を各寄生抵抗・寄生容量の影響に対して分類したものである。遅延時間は荒い近似では寄生抵抗と寄生容量の積であらわされ、それぞれの遅延時間に対する影響はお互いに独立であると考えられるので、寄生抵抗と寄生容量の影響はそれぞれ別の棒グラフに示してある。ここでトランジスタのゲート長は  $0.15\mu m$  である。

図中の各遅延時間の成分は以下のようにして求めた。まず、チャネル抵抗による遅延時間の成分を求める時はチャネル抵抗以外の抵抗成分を 0 に設定し、その時のシミュレーションにより求まる遅延時間をチャネル抵抗  $R_{CH}$  による遅延時



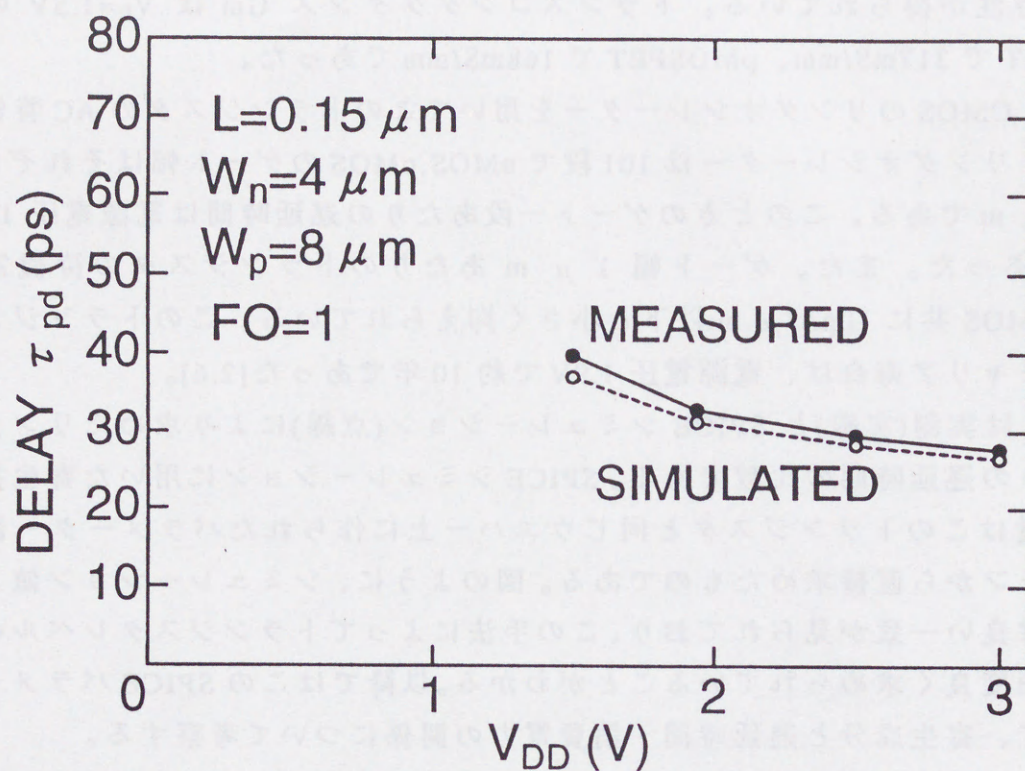
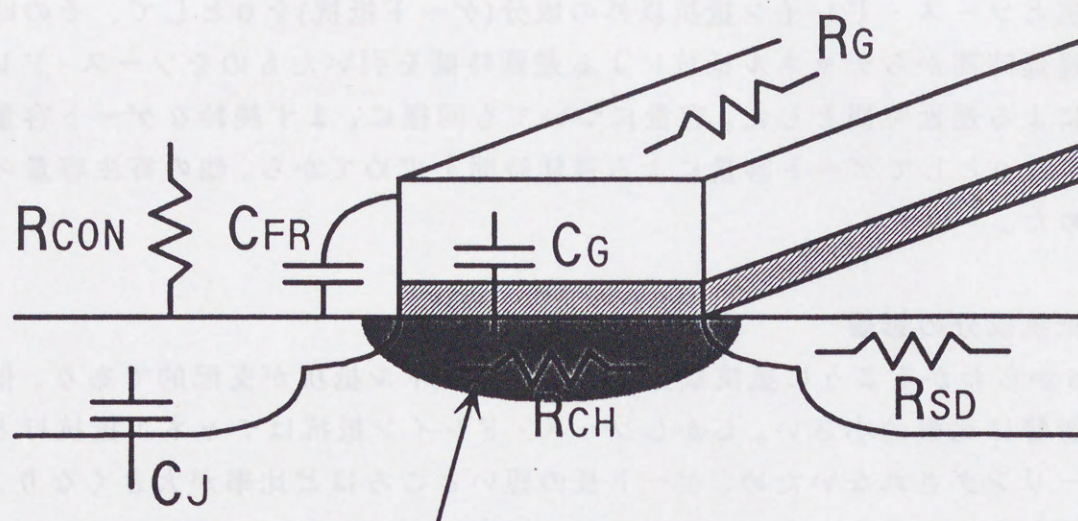


図2-4 リングオシレータの遅延時間





高濃度領域  
(Localized Implant)

図2-5 トランジスタの寄生抵抗・寄生容量

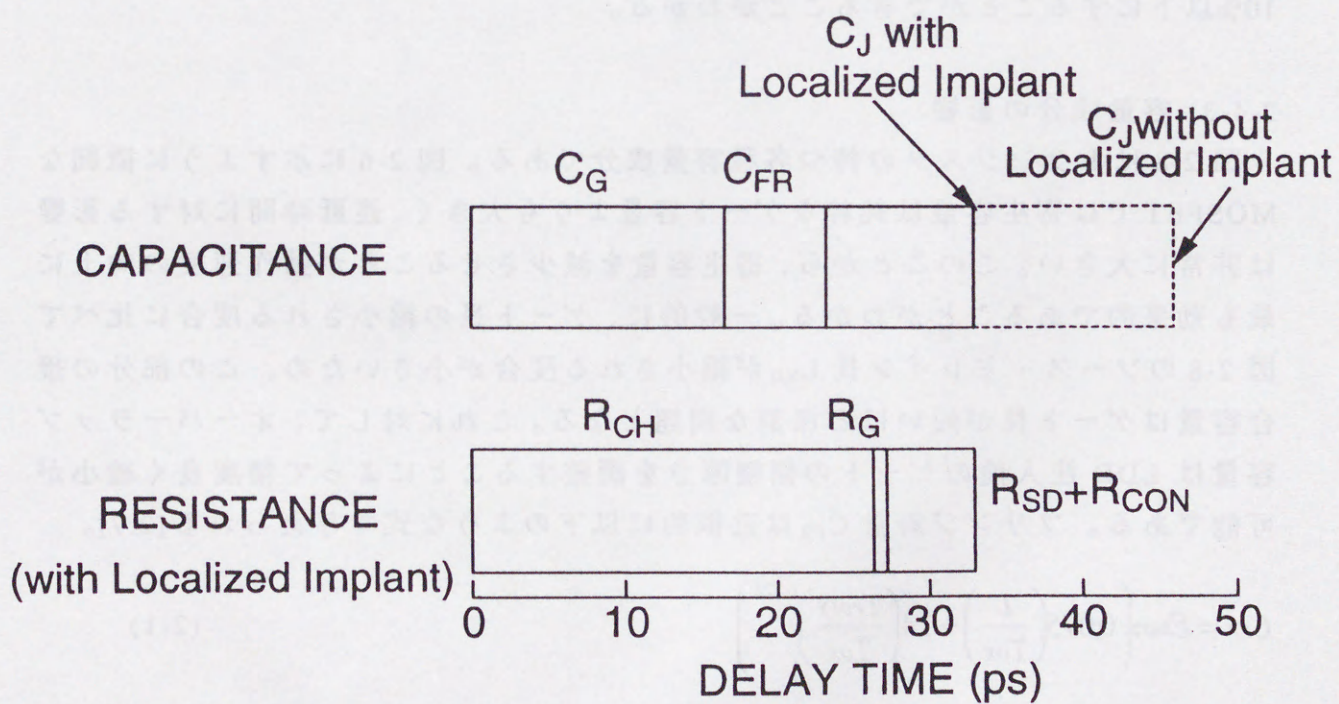


図2-6 遅延時間の内訳



間とした。他の抵抗については、例えばソース・ドレイン抵抗  $R_{SD}$  ならば、チャネル抵抗とソース・ドレイン抵抗以外の成分(ゲート抵抗)を 0 として、その時に求まる遅延時間からチャネル抵抗による遅延時間を引いたものをソース・ドレイン抵抗による遅延時間とした。容量についても同様に、まず純粋なゲート容量以外の容量を 0 としてゲート容量による遅延時間を求めてから、他の寄生容量の成分を求めた。

#### 2-4-2. 抵抗成分の影響

図 2-6 からわかるように抵抗成分の中ではチャネル抵抗が支配的であり、他の抵抗の影響は比較的小さい。しかしソース・ドレイン抵抗はチャネル抵抗ほどにはスケールされないため、ゲート長の短いところほど比率が大きくなり、深刻な問題となると考えられる。

ゲート抵抗に関しては図 2-6 では影響は非常に小さくなっている。しかし、ゲート幅が大きければこの抵抗も問題となってくる。図 2-7 はゲート幅  $W_G$  とゲート長  $L_G$  の比  $W_G/L_G$  と遅延時間の関係をシミュレーションにより求めた結果である。ゲート電極の材料としては  $TiSi(\rho=5\ \Omega)$ 、 $WSi(\rho=20\ \Omega)$  を仮定している。図のように  $WSi$  を用いた場合でも  $W_G/L_G$  を 50 以下に抑えれば、遅延時間の劣化は 10% 以下にすることができるとわかる。

#### 2-4-3. 容量成分の影響

図 2-8 はトランジスタの持つ各種容量成分である。図 2-6 に示すように微細な MOSFET では寄生容量は純粋なゲート容量よりも大きく、遅延時間に対する影響は非常に大きい。このことから、寄生容量を減少させることが動作速度の向上に最も効果的であることがわかる。一般的に、ゲート長の縮小される度合に比べて図 2-8 のソース・ドレイン長  $L_{SD}$  が縮小される度合が小さいため、この部分の接合容量はゲート長が短いほど深刻な問題となる。これに対して、オーバーラップ容量は LDD 注入前のゲートの側壁厚さを調整することによって精度良く縮小が可能である。フリンジ容量  $C_{FR}$  は近似的に以下のような式で与えられる[2.7]。

$$C_{FR} = \epsilon_{SiO_2} \left( 0.075 \left( \frac{L}{T_{ox}} \right) + 1.4 \left( \frac{T_{POLY}}{T_{ox}} \right)^{0.222} \right) \quad (2-1)$$

この式からゲート電極の厚さ  $T_{POLY}$  とフリンジ容量の関係を計算すると図 2-9 のようになる。この図より、ゲート電極を薄くしてもフリンジ容量はあまり減少しないことがわかる。例えばゲート電極の膜厚を 200nm から 50nm にしてもフリンジ容量は 17% しか減少しない。フリンジ容量を効果的に減少させるにはゲート側



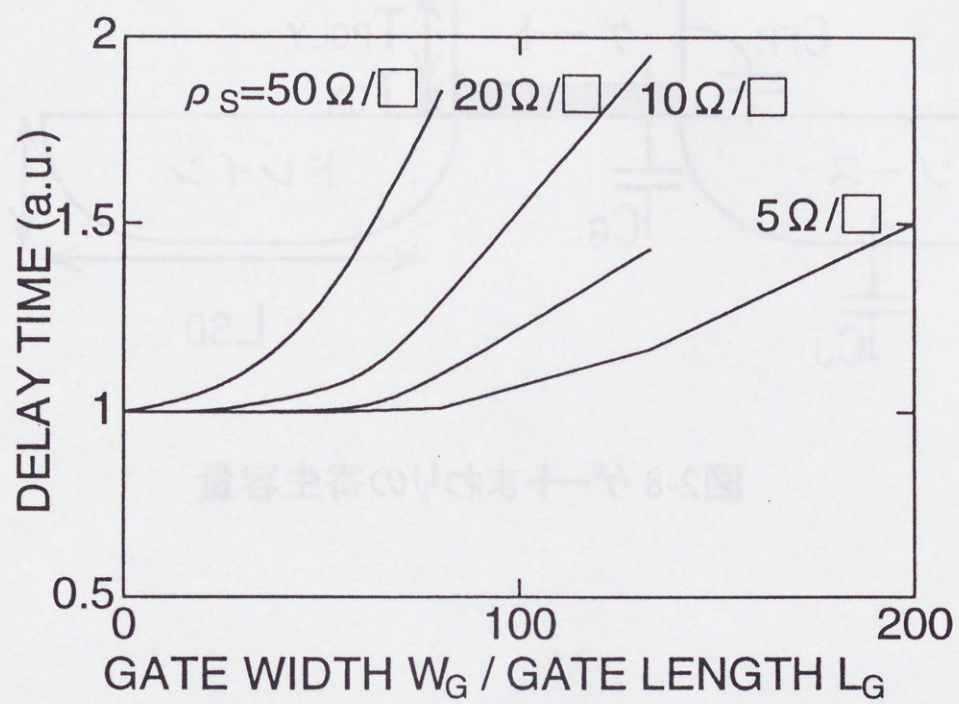


図2-7 ゲート抵抗の影響



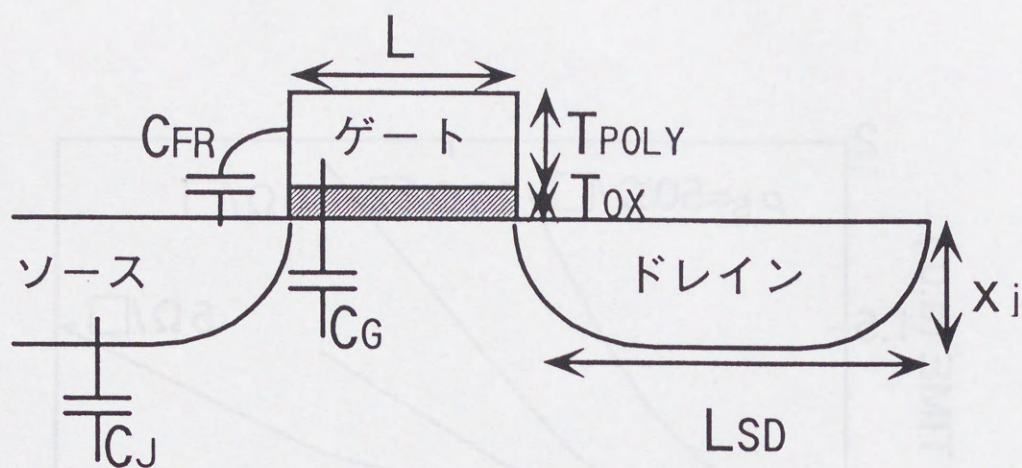


図2-8 ゲートまわりの寄生容量

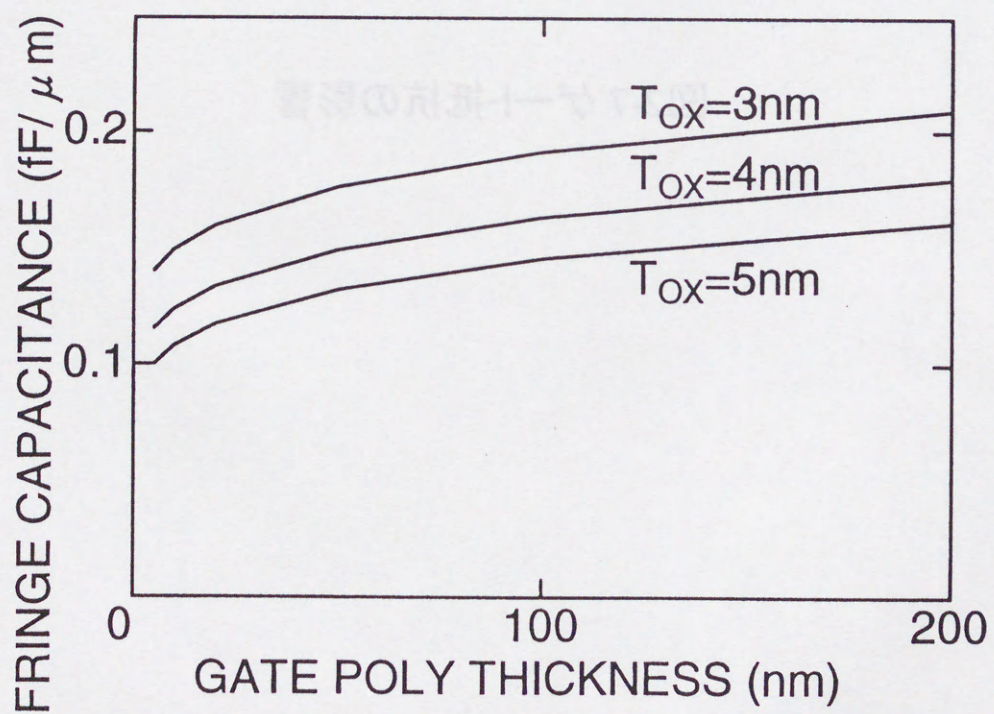


図2-9 フリンジ容量とゲート電極厚さの関係



壁に低誘電率の物質を用いることが効果的である[2.10]。

#### 2-4-4. Localized Channel Implant 方式

ゲート長が短くなるに従ってパンチスルーを防ぐためには基板の不純物濃度を高くする必要がある。しかし、これによってソース・ドレイン部の接合容量  $C_J$  が増加するという問題がある。定電圧スケールリング則[2.9]では実効チャネル長  $L_{EFF}$ (本節の以降では実効チャネル長はゲート長  $L_G$  に等しいものと仮定し、単純に  $L$  で表す)が  $1/K$  となると基板の不純物濃度  $N_{SUB}$  は  $K^2$  倍としなければならない。このため単位面積あたりの接合容量は  $K$  倍となる。ここで単純にパンチスルーが起こるときの条件をソース側からチャネル中に伸びる空乏層の伸び  $W_S$  とドレイン側からの伸び  $W_D$  の和がチャネル長に等しくなる、つまり図 2-10 に示すように  $L=W_D+W_S$  となる場合と仮定する。

コンタクト径やコンタクトーゲート間のマージンなどはプロセスの問題からゲート長に比べると縮小させることが難しい。このため、一般に図 2-8 におけるソース・ドレイン長  $L_{SD}$  の縮小率は  $1/K$  に満たない。この結果、ソース・ドレインの容量はゲート容量よりも大きくなる。コンタクト径の問題を回避してソース・ドレイン長を小さくする方式としてはソース・ドレインせり上げ法[2.10]などが提案されているが、この方式では工程が複雑となるという問題がある。これ以外の接合容量低減策としては、ゲート電極下の基板濃度をソース・ドレイン部分よりも低くする方式がある。このような不純物分布を Localized channel implant 法[2.6,11]によって作成した。この方式では以下のようなプロセスを行う(図 2-11 参照)。(1)ウエル形成用のイオン注入をトランジスタ領域全面に行う。(2)チャネル形成用のイオン注入をマスクを用いてゲート領域のみに行う。(3)ゲート電極を形成する。この方式は簡単で、従来のウエル押し込み方式の CMOS プロセスに用いる場合は追加のマスク工程を必要としないという長所がある。

#### 2-4-5. 寄生容量のスケールリング

以上の議論はゲート長  $0.15 \mu m$  の MOSFET に対するものであったが、次にゲート長が変化した場合の各容量の影響について解析を行った。

図 2-12 はゲート長の変化に対する各寄生容量成分のゲート容量  $C_G$ 、フリンジ容量  $C_{FR}$ 、接合容量  $C_J$  の変化を示したものである。ここでは電源電圧の変化率として、 $1/2$  乗則を仮定している[2.11]。 $1/2$  乗則では電源電圧  $V_{DD}$  はゲート長  $L$  の  $1/2$  乗に比例し、ゲート酸化膜厚は  $L$  の  $1$  乗に比例する。また、ゲート長  $L$  に対するソース・ドレイン長  $L_{SD}$  の変化率として次の 3 種類を考える。(a)  $L_{SD}$  が一定の場合、(b)  $L_{SD}$  が  $\sqrt{L}$  に比例する場合、(c)  $L_{SD}$  が  $L$  に比例する場合。(a),(b),(c)に



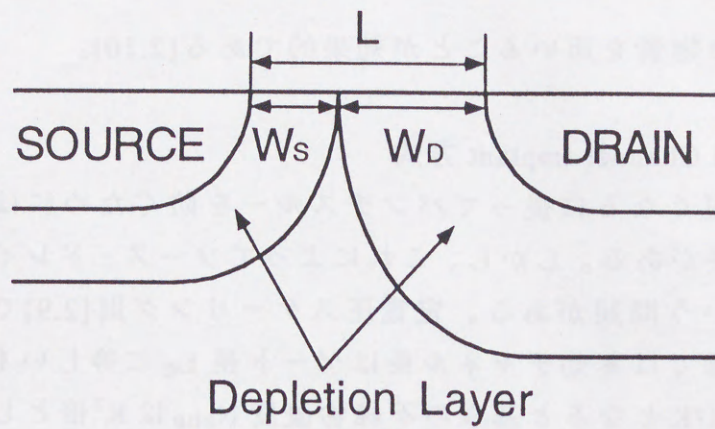


図2-10 チャンネル部の空乏層の伸び

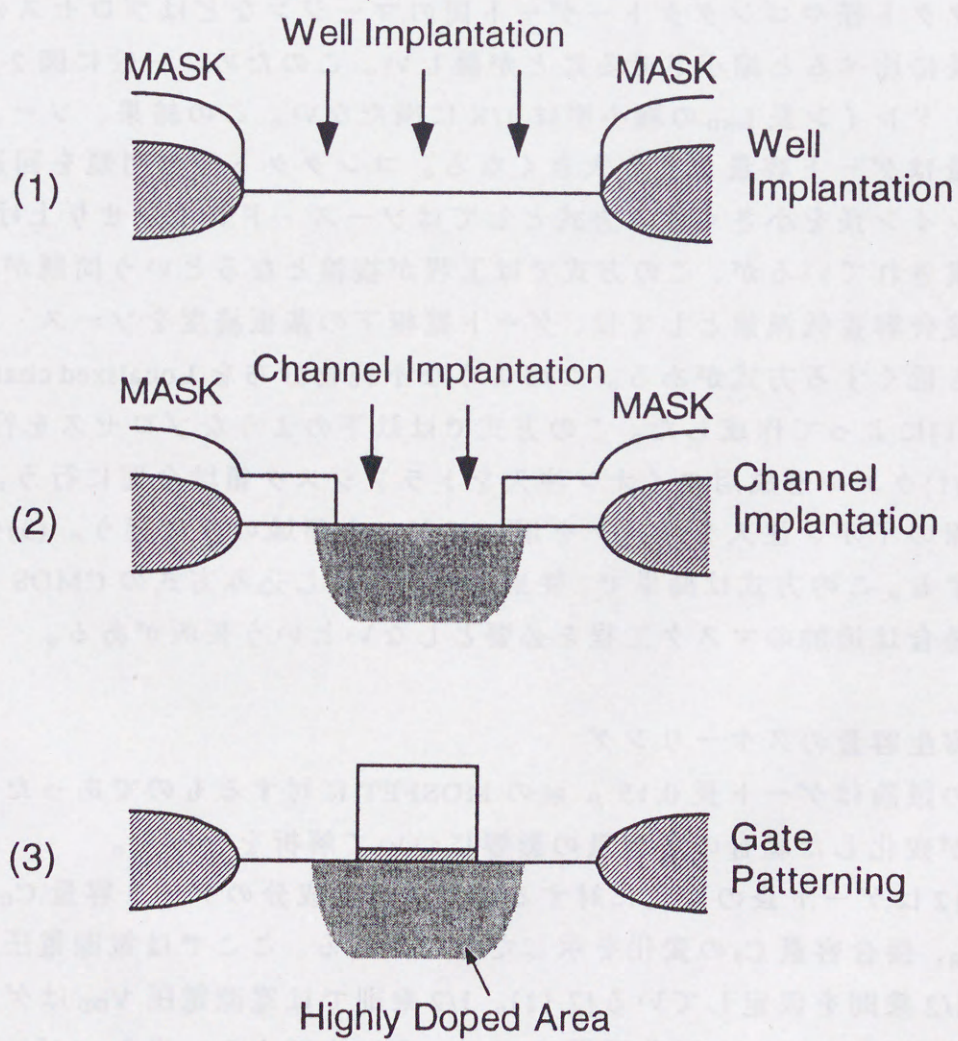


図2-11 Localized Channel Implant 製造法



において接合容量  $C_J$  は次式で与えられる。

$$C_J = \frac{L_{SD} \sqrt{2\epsilon_{Si} q N_{SUB}}}{\sqrt{V_{bi} + V_{DD}} + \sqrt{V_{bi}}} + \frac{2x_j \sqrt{2\epsilon_{Si} q N_{SUB}}}{\sqrt{V_{bi} + V_{DD}} + \sqrt{V_{bi}}} \quad (2-2)$$

ここで  $x_j$  は図 2-8 で示される接合深さ、 $V_{bi}$  はビルトインポテンシャル、 $\epsilon_{Si}$  はシリコンの誘電率、 $q$  は単位電荷である。2-2 式で第 1 項は接合容量の底面成分、第 2 項は接合容量の側面部の値を表わしている。また、チャネル幅は  $L_{SD}$  に比べて十分に大きいと仮定している。またゲート容量  $C_G$  は次式より求まる。

$$C_G = \epsilon_{SiO_2} \frac{L}{T_{OX}} \quad (2-3)$$

さらに(b)と同じく  $L_{SD}$  が  $\sqrt{L}$  に比例の場合に対して Localized channel implant 法を用いた場合を仮定し(d)とする。この時の  $C_J$  は次式で与えられる。

$$C_J = \frac{(2L + x_j) \sqrt{2\epsilon_{Si} q N_{SUB}}}{\sqrt{V_{bi} + V_{DD}} + \sqrt{V_{bi}}} + \frac{(L_{SD} - 2L + x_j) \sqrt{2\epsilon_{Si} q N_{SUBfix}}}{\sqrt{V_{bi} + V_{DD}} + \sqrt{V_{bi}}} \quad (2-4)$$

ここで  $N_{SUBfix}$  は  $N_{SUB}$  の固定値でチャネル注入を行っていない部分の基板濃度であり、ここでは  $5 \times 10^{16} \text{ cm}^{-3}$  と仮定している。これは(a),(b),(c)のゲート長  $0.5 \mu\text{m}$  での  $N_{SUB}$  に等しい。他のパラメーターには典型的なゲート長  $0.15 \mu\text{m}$  程度の MOSFET を仮定して以下の値を使用している。 $L_{SD}(\text{at } L=0.15 \mu\text{m})=1.5 \mu\text{m}$ 、 $V_{DD}(\text{at } L=0.15 \mu\text{m})=1.9\text{V}$ 、 $T_{OX}(\text{at } L=0.15 \mu\text{m})=5\text{nm}$ 、 $x_j(\text{at } L=0.15 \mu\text{m})=0.1 \mu\text{m}$ 。また、ゲート酸化膜の厚さは  $3.5\text{nm}$  より小さくしないこととする。これはゲート酸化膜の薄膜化によるリーク電流を抑制するためである。

図 2-12 における  $C_{FR}$  は図 2-10 の値の 5 倍となっている。これは図 2-14 ではフリンジ容量として駆動側のドレインと負荷側のソース・ドレインの容量とミラー効果の最も大きい場合を考慮しているためである。

図 2-12 において(a)と(b)の場合はゲート長が短くなるにしたがって接合容量  $C_J$  は大幅に増大し、ゲート長  $L$  が  $0.2 \mu\text{m}$  あたりでゲート容量  $C_G$  よりも大きくなる。これに対して(c)と(d)では  $C_J$  の増加はゆるやかである。実際のデバイスにおいてはソース・ドレイン長  $L_{SD}$  の変化は(b)の  $\sqrt{L}$  に近い。このためゲート長  $0.1 \mu\text{m}$  近辺では  $C_J$  の影響が非常に大きくなる。しかし、Localized channel implant 法を用いれば、 $L_{SD}$  があまり縮小されなくとも  $L_{SD}$  がゲート長と同程度に縮小される(c)程度に接合容量を抑制することができることがわかる。

図 2-11 から分かるように Localized channel implant 法はセルフアラインなプロ



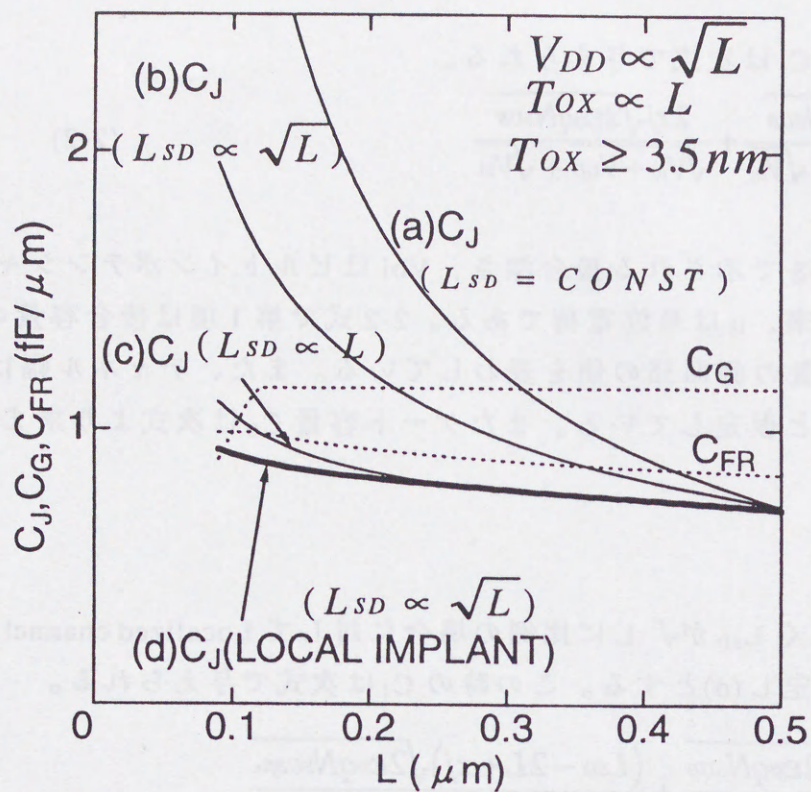


図2-12 各寄生容量のゲート長依存性

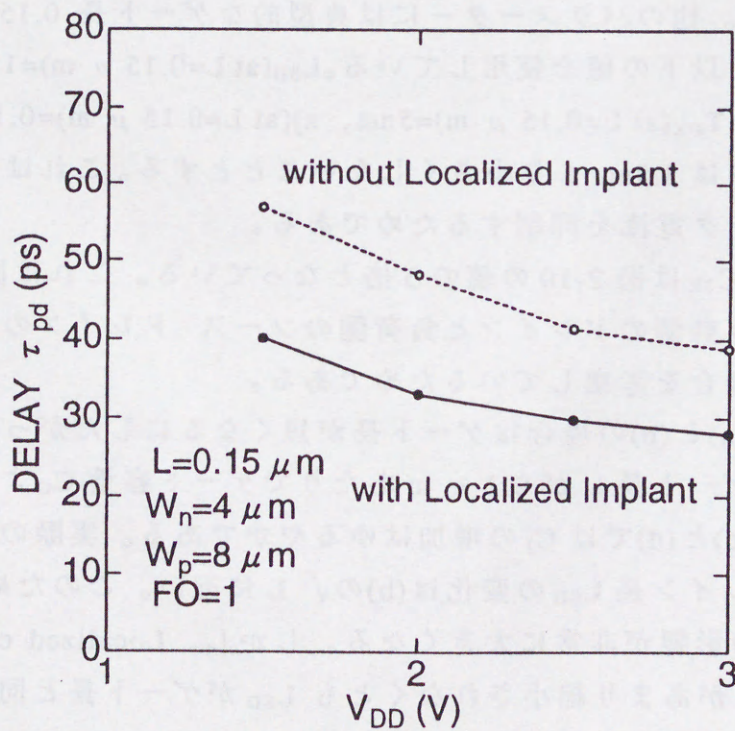


図2-13 Localized Channel Implant法の効果



セスではないのでチャンネル注入用マスクとゲートエッチング用マスクの目合わせずれが発生するとしきい値や接合容量が変動する。しかしシミュレーションの結果からチャンネル注入用マスクの開口部の端がゲートエッチング用マスクの端に重ならなければしきい値電圧の変動はほとんどないことが分かった。実際には図 2-11 に示すようチャンネル注入用マスクの開口部の長さはゲートエッチング用マスクの長さよりも大きくなっており、目合わせずれが発生しても両者の端が重なることはない。図 2-12 の計算においてはチャンネル注入マスクの目合わせマージンを  $L \times 2$  としている。目合わせずれの大きさが  $L$  の時の (d) の場合の接合容量  $C_j$  の変動量は約 20% である。この場合でも (d) の場合の  $C_j$  は (a) や (b) の場合よりも小さい。

以上のように Localized channel implant 法のような方式を用いることで、MOSFET においてゲート電極以外の部分がゲート電極ほどには縮小されないというスケーリングの問題を回避できることが示された。この方式はゲート長  $0.1 \mu\text{m}$  近辺では非常に有用な方式となる。

#### 2-4-6. Localized channel implant 法の効果

本章におけるゲート長  $0.15 \mu\text{m}$  の MOSFET はゲート電極以外は  $i$  線で露光しており  $0.6 \mu\text{m}$  ルールを使用しているため、ゆるいデザインルールで試作されており、ゲート電極に比べてソース・ドレイン部が大きい。しかし、Localized channel implant 法を使用することで実際の接合容量はトランジスタ全体を  $0.15 \mu\text{m}$  で試作した場合と同程度に抑えられている。図 2-13 は試作した MOSFET での Localized channel implant 法を使った場合と使わない場合でのリングオシレーターの遅延時間を比較したものである。図のように、Localized channel implant 法により遅延時間は約 30% 程度高速化できており、この図からもこの方式が動作速度向上に効果的であることが示されている。

CMOS インバーターのスイッチングによる消費電力は  $P$  は  $P = C \times V_{DD}^2$  で表わされるので、消費電力は寄生容量に比例する。前述のように微細 MOSFET では寄生容量に占める接合容量の割合が大きいので、Localized channel implant 法は消費電力の低減にも効果的である。

#### 2-5. 本章のまとめ

本章では以降の章で使用するゲート長  $0.15 \mu\text{m}$  の MOSFET の特性について述べ、寄生成分の遅延時間への影響について解析を行った。

SPICE シミュレーションを用いて MOSFET の持つ寄生抵抗と寄生容量が遅延時間に与える影響を解析した結果、寄生抵抗についてはゲート長が  $0.1 \mu\text{m}$  程度



になってもチャネル自身の抵抗が支配的であるが、寄生容量に関してはゲート容量以外の寄生容量が非常に大きいことを示した。これはゲート電極の微細化に比べてそれ以外の部分の微細化の割合が小さいためである。しかし、Localized channel implant 法のでソース・ドレイン部の基板濃度を低減させて寄生容量を減少させることにより、ゲート電極以外があまり微細化されなくともそれらがゲート電極程度に微細化された場合と同等の遅延時間を達成でき、このようなスケールリングの問題を回避できることを解析的に示した。

この Localized channel implant 法を用いることでリングオシレータによる測定ではでは、使用しない場合に比べて遅延時間を 30%程度高速化ができ、電源電圧 1.9V で 33ps の遅延時間が得られた。



#### 参考文献

- [2.1] R.H. Yan et. al., "High Performance 0.1- $\mu$  m Room Temperature Si MOSFETs", Symp. on VLSI Tech. Dig., 86(1992).
- [2.2] I.C. Chen, R.A. Chapman and C.W. Teng, "A Sub-half Micron Partially Gate-to-Drain Overlapped MOSFET optimized for High Performance and Reliability", IEDM Tech. Dig., 545(1991).
- [2.3] H. Oyamatsu, K. Kasai, N. Matsunaga, H. Igrashi, T. Yamaguchi, T. Asamura, A. Azuma, H. Shibata, M. Kinugawa and M. Kakumu, "A High Performance MOSFET Design with Highly Controllable Gate Length and Low RC Delay Multilevel Interconnects Technology for High Speed Logic Devices", IEDM Tech. Dig., 705(1995).
- [2.4] H. Nakamura and T. Horiuchi, "A Self-Aligned Counter-Doped Well Process Utilizing Channeling Ion Implantation", IEEE Trans. on Electron Devices, Vol. 43, No. 7, 1099(1996).
- [2.5] S. Inaba, T. Mizuno, M. Iwase, H. Niiyama, M. Yoshimi and A. Toriumi "Impact of Contact Resistance and Junction Capacitance on the Switching Performance in Scaled 0.1  $\mu$  m CMOS Devices" Ext. Abs. of SSDM, 32(1993).
- [2.6] K. Takeuchi, T. Yamamoto, A. Tanabe, T. Matsuki, T. Kunio, M. Fukuma, K. Nakajima, N. Aizaki, H. Miyamoto and E. Ikawa "0.15  $\mu$  m CMOS with High Reliability and Performance", IEDM Tech. Dig., 883(1993).
- [2.7] T. Sakurai and K. Tamaru "Simple Formulas for Two-and Three dimensional Capacitances", IEEE Trans. on Electron Devices, ED-30,2, 183(1983).
- [2.8] M. Togo, A. Tanabe, A. Furukawa, K. Tokunaga and T. Hashimoto, "A Gate-side Air-gap Structure(GAS) to Reduce the Parasitic Capacitance in MOSFETs", Symp. on VLSI Tech. Dig., 38(1996).
- [2.9] G. Baccarani, M.R. Wordeman and R.H. Dennard "Generalized Scaling Theory and its Application to a 1/4 Micrometer MOSFET Design" IEEE Trans. on Electron Devices, ED-31, 452(1984).
- [2.10] H. Sibata, Y. Suizu, S. Samata, T. Matsuno and K. Hashimoto "High Performance Half-micron PMOSFETs with 0.1  $\mu$  m shallow p+n junction utilizing selective silicon growth and rapid thermal annealing" IEDM Tech. Dig., 590(1987).
- [2.11] H. Oyamatsu, M. Kinugawa and M. Kakumu "Design Methodology of Deep Submicron CMOS Devices for 1V Operation" Symp. on VLSI Tech. Dig., 89(1993).



### 第3章 基板クロストークの解析

#### 3-1. はじめに

近年の MOSFET の微細化によって、従来 GaAs や Si バイポーラの用いられてきた GHz 帯の高周波領域へも MOSFET が用いられつつある[3.1-4]。このような高周波の領域で問題となると考えられることが基板を介して伝わるクロストークである。基板クロストークは特に小信号を扱うアナログ回路で問題となり、MOSFET の GHz 領域のアナログ回路への応用には、基板クロストークの抑制が重要となると考えられる。

図 3-1 は各種のトランジスタの断面の概略図を示したものである。(a)のバルク MOSFET の場合、ゲート・ソース・ドレインの 3つの端子は全て基板との間に容量を持っている。さらに基板はシート抵抗が数  $\Omega/\square$  と低いため、他のトランジスタからのクロストークが伝わりやすい。次に(b)の SOI(SIMOX)ではトランジスタの下には酸化膜がありその下に低抵抗の基板があるが、酸化膜を介しての基板とトランジスタの間の容量はバルク MOSFET に比べると小さい。SIMOX 以外の SOI ならば低抵抗基板はないのでクロストークはさらに小さい。(c)の GaAs MESFET の場合はトランジスタの下は半絶縁性の基板となっている。この基板の抵抗は Si 基板に比べて遥かに高いので、基板を伝わるクロストークはバルク MOSFET に比べると小さい。(d)の Si バイポーラの場合、基板の抵抗はバルク MOSFET と変わらないが、基板と容量をもつ端子はコレクタのみなので、基板を伝わるクロストークはバルク MOSFET に比べると小さい。つまり、バルク MOSFET は他のトランジスタと比較して基板クロストークの影響を受けやすいことがわかる。

従来、MOSFET におけるこのようなクロストークは主に回路的な側面から検討されていた。例えば、差動回路を用いたクロストーク低減手法などの回路的な手法が主に検討されていた[3.5]。また回路的な手法として、オンチップの比較器を用いて基板の電圧を基準電圧と比較することでチップ全体としての平均的なクロストークを検出する手法も行われたが[3.5]、個々の MOSFET の動作については考慮されていなかった。

デバイスのクロストークの解析手法としては、オシロスコープを用いてクロストークの波形を検出する手法[3.6]や 2 点間の伝達特性をネットワークアナライザで測定する手法などが用いられていたが[3.7]、測定パターンが複雑で、特に高周波での測定精度に問題があったり、ウェルの構造が実際のデバイスに則していないために GHz 領域でのクロストークの様子は必ずしも明らかではなかった[3.6-9]。また、クロストークの伝達特性を表わす種々の等価回路が提案されたが、複雑な数値計算を必要とするものが多く、GHz 領域での実測値との差が大きいという問題



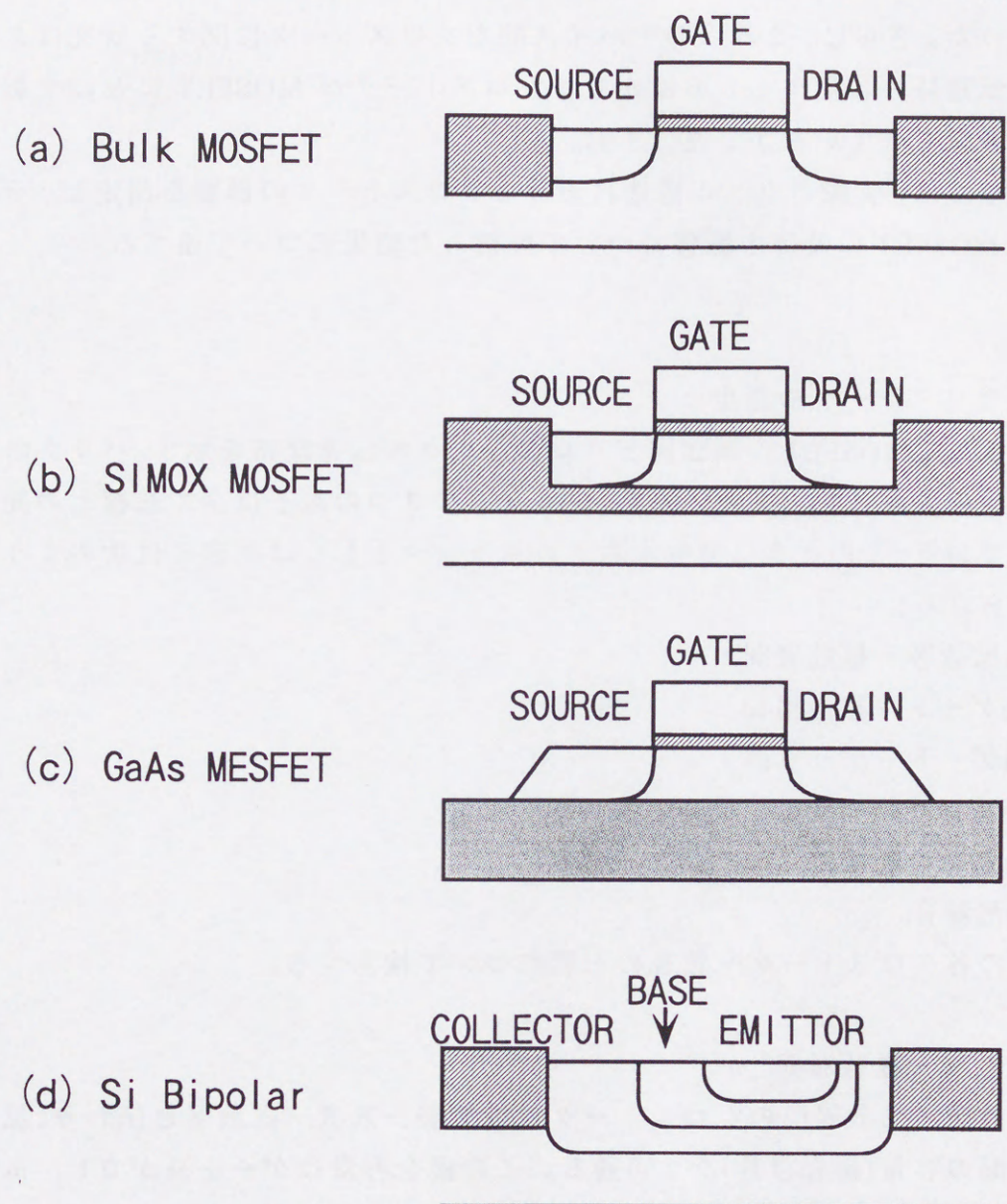


図3-1 トランジスタの比較



があった。さらに、これらのデバイスのクロストークに関する研究はクロストークの伝達特性に関するものばかりでクロストークが MOSFET に及ぼす影響については考慮されていなかった[3.5-9]。

本章では、実際のウェル構造におけるクロストークの影響を測定し、その伝達特性や MOSFET に及ぼす影響について解析した結果について述べる。

### 3-2. クロストークの発生

図 3-2 に MOSFET の断面図とクロストークの伝達経路を示す。バルクの MOSFET では図のようにゲート・ソース・ドレインの 3 つの端子は全て基板との間に容量を持っている。このときに発生するクロストークもしくは雑音には次のようなものが考えられる。

- (a) 拡散層－拡散層間
- (b) ゲート－拡散層間
- (c) ゲート－ゲート間
- (d) 基板電位の変動によるしきい値の変化
- (e) 上層の配線からのクロストーク
- (f) 熱雑音

以上の各クロストーク・雑音の影響について検討する。

#### (a) 拡散層－拡散層間

拡散層－拡散層間のクロストークは拡散層→基板→拡散層と伝わり、拡散層と基板の間の容量(接合容量)を 2 回通る。この接合容量はゲート長が  $0.1 \mu\text{m}$  近辺では MOSFET 全体の寄生容量の  $1/3 \sim 1/2$  に達し、さらにゲート・ソース・ドレインと基板との間の容量の  $80 \sim 90\%$  を占めている。このため、このクロストークの影響は大きいと考えられる。

#### (b) ゲート－拡散層間

このクロストークはゲート→基板→拡散層と伝わる。単位面積あたりのゲート－拡散層間の容量は拡散層－拡散層間と同程度だが、ゲート電極の面積はゲート長が  $0.1 \mu\text{m}$  近辺では拡散層の面積の  $1/10$  程度なので、ゲートから基板へ伝わるクロストークは拡散層から基板へ伝わるクロストークに比べて小さくなる。このため拡散層－拡散層間のクロストークに比べて影響は小さい。

#### (c) ゲート－ゲート間



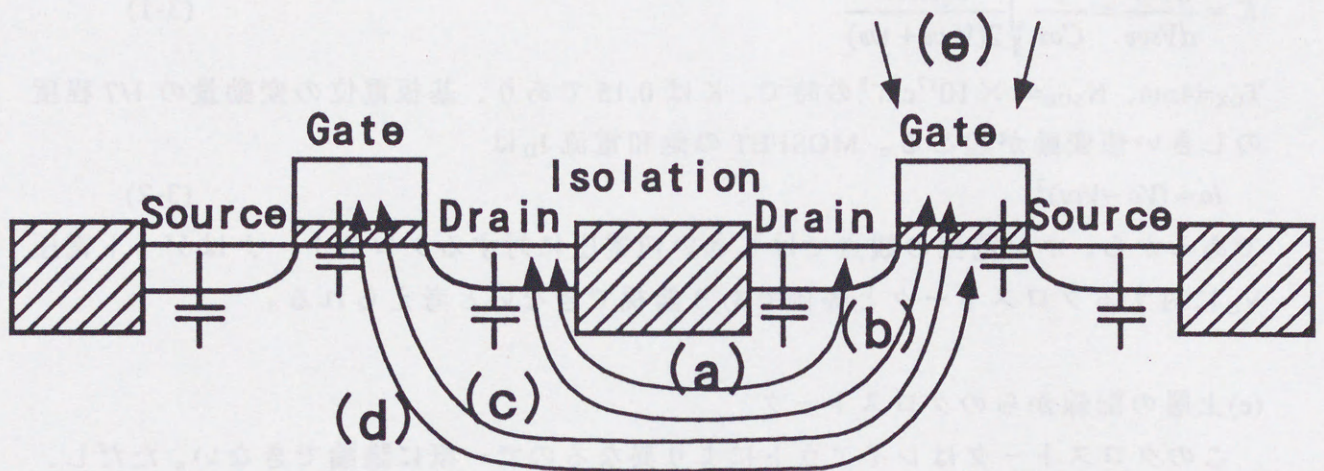


図3-2 クロストークの経路



(b)と同様に影響は小さい。

(d)基板電位の変動によるしきい値の変化

基板電位  $V_{SUB}$  の変動によるしきい値  $V_{TH}$  の変動量つまり基板効果定数  $K$  は短チャネル効果がなく、基板の濃度が均一の場合には次式で与えられる [3.10]。

$$K = \frac{dV_{TH}}{dV_{SUB}} = \frac{1}{C_{OX}} \sqrt{\frac{\epsilon q N_{SUB}}{2(V_{SUB} + \psi_B)}} \quad (3-1)$$

$T_{OX}=4\text{nm}$ 、 $N_{SUB}=1 \times 10^{17}\text{cm}^{-3}$  の時で、 $K$  は 0.15 であり、基板電位の変動量の 1/7 程度のしきい値変動が起こる。MOSFET の飽和電流  $I_D$  は

$$I_D \propto (V_G - V_{TH})^2 \quad (3-2)$$

であるから、オン電流の観点ではしきい値電圧に対するクロストークはゲート電圧  $V_G$  に対するクロストークと等価であり無視できないと考えられる。

(e)上層の配線からのクロストーク

このクロストークはレイアウトにより異なるので一概に議論できない。ただし、単位面積当たりの配線-ゲート間の容量は拡散層-基板間の容量の 1/30 以下なのでこの影響は小さいと考えられる。

(f)熱雑音

一般に MOSFET における熱雑音の平均値  $\bar{V}_i$  は次式で与えられる [3.11]。

$$\bar{V}_i = \sqrt{4kT \left( R_G + \frac{2}{3g_m} \right) \Delta f} \quad (3-3)$$

ここで  $G_m=500\text{mS/mm}$ 、 $R_G=2000\ \Omega$ 、 $\Delta f=1\text{GHz}$  とすると約 0.5mV となる。熱雑音とクロストークの違いについては補足 3-1 参照。この値は 5 章で述べるように (a) や (d) のクロストークに比べて小さい。

このように各種のクロストーク・雑音の中で拡散層-拡散層間のクロストークと基板電位の変動によるしきい値の変化が特に大きいと考えられる。よって以下ではこの 2 種について主に検討する。

### 3-3. クロストークの測定

#### 3-3-1. 測定パターン

通常の CMOS アナログ-デジタル混載回路では主なクロストークの発生源はデ



デジタル回路である。これは一般的にデジタル部分の方が素子数が多いことと、デジタル部分では信号振幅は電源電圧と等しいのに対してアナログ部分では信号振幅は通常は電源電圧の 1/10 以下であるためである。このように振幅が大きいことからデジタル部分ではクロストークによる影響は小さい。また、チップ面積の問題からアナログ回路とデジタル回路の間の距離はあまり離すことはできない。さらにアナログ部分とデジタル部分の間には両者を結ぶインターフェース回路が存在するが、この回路はアナログ的動作をしつつも信号振幅は電源電圧に近いために大きなクロストークの発生源となる。

以上のような考察から、今回のクロストークの測定では数  $10\ \mu\text{m}$  の近距離で発生するクロストークについて測定を行った。また、ツインウェルのプロセスを想定している。ツインウェルでは nMOSFET と pMOSFET のいずれかは同一のウェル上に全ての素子が配置される。例えば p 型基板を用いた場合では全ての nMOSFET のウェルはウェル抵抗で接続された状態となり、容易にクロストークが伝達する。

クロストークの測定は図 3-3 のように行った。4 種類の測定パターンを使用している。パターン(a)DDW は拡散層-拡散層間のクロストークを測定するためのパターンである。パターン(b)DWD はウェルコンの領域が 2 本の拡散層の間に配置されている。このパターンはウェルコンによるクロストークのシールド効果を調べるためのものである。パターン(c)DWW は拡散層-ウェルコン間のクロストークを測定するためのパターンである。これは拡散層の信号が基板にどのように伝わるかを測定するためのパターンである。パターン(d)WWW は(a)や(b)の拡散層の領域をすべてウェルコンの領域に置き換えたものである。このパターンは基板抵抗の測定に用いた。全てのパターンで拡散層やウェルコンの領域の大きさは  $200 \times 4\ \mu\text{m}^2$  である。各パターンでの拡散層間の距離は  $1 \sim 50\ \mu\text{m}$  まで変化させた。前述の様にツインウェルのプロセスを想定しているので、全ての拡散層やウェルコンは同一のウェル上に配置されている。

### 3-3-2. 測定方法

クロストークを測定するには図 3-3(a)に示すように 2 つの拡散層それぞれネットワークアナライザの Port1 と Port2 を接続し、ウェルコンにはグラウンドを接続して、2 つの拡散層の間の伝達特性である S 行列を測定する。図 3-3 のパターンには実際には拡散層やウェルコンの部分以外にアルミ配線やネットワークアナライザからの高周波プローブを立てるためのパッドが存在する。このようなパターンが持つ容量や抵抗などによるインピーダンスは GHz 帯では無視できない大きさとなるため、これらの補正が必要となる。この補正には図 3-4 に示すような OPEN, SHORT パターンを用い以下のように行った[3.12]。この方式ではパッドや配線のインピー



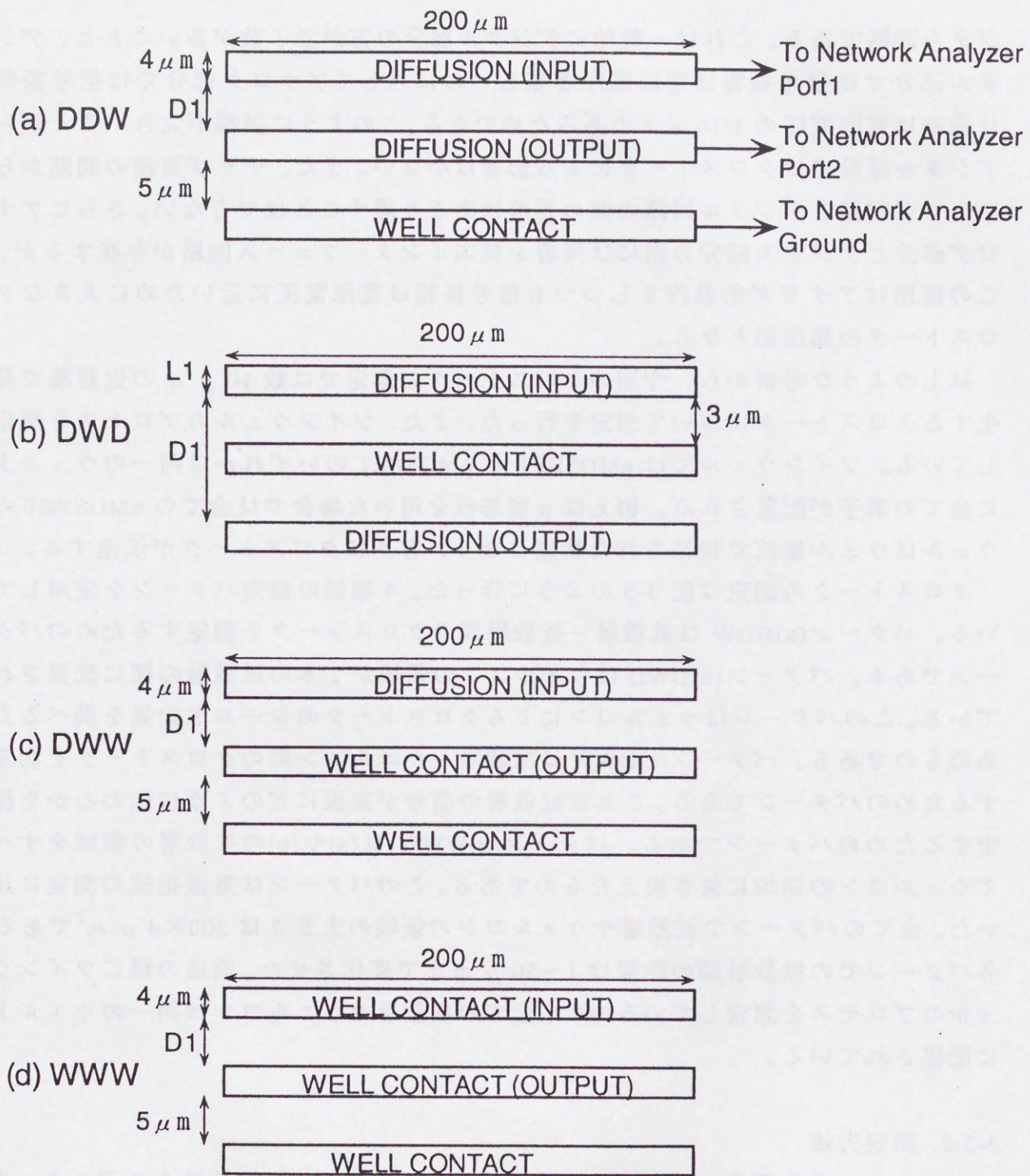


図3-3 クロストークの測定パターン



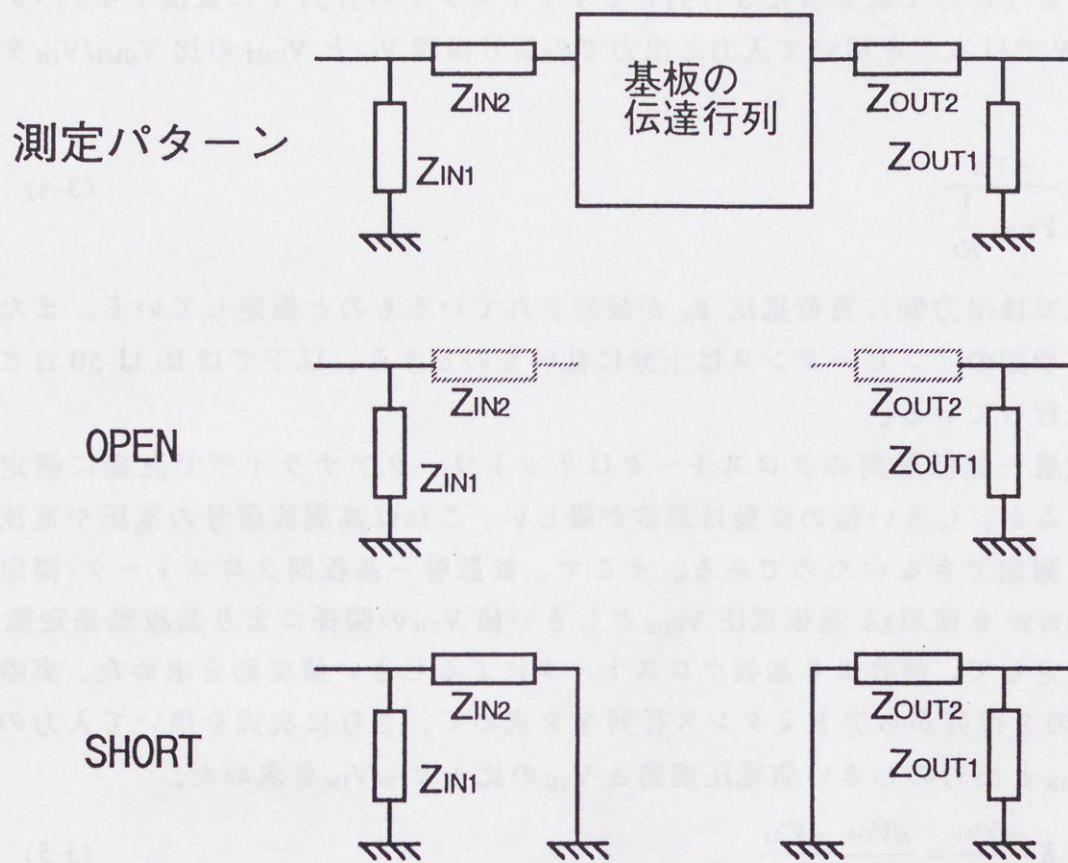


図3-4 寄生インピーダンスの校正



ダンスを図の4つの素子  $Z_{IN1}, Z_{IN2}, Z_{OUT1}, Z_{OUT2}$  でモデリングする。そして、まず OPEN パターンでの S 行列を測定して  $Z_{IN1}, Z_{OUT1}$  を求める。次に SHORT パターンで S 行列を測定してから  $Z_{IN1}, Z_{OUT1}$  の成分を差し引くことで  $Z_{IN2}, Z_{OUT2}$  を求める。最後に測定パターンの S 行列を Z 行列に変換して  $Z_{IN1}, Z_{IN2}, Z_{OUT1}, Z_{OUT2}$  の成分を差し引いて再び S 行列に変換すると基板部分のみの伝達行列が求まる。

このようにして求まった S 行列をまずアドミタンス行列 Y に変換する。パターン (a)DDW では次式を用いて入力と出力での信号振幅  $V_{IN}$  と  $V_{OUT}$  の比  $V_{OUT}/V_{IN}$  を求めた。

$$\frac{V_{OUT}}{V_{IN}} = \frac{-Y_{21}}{Y_{22} + \frac{1}{R_L}} \quad (3-4)$$

この式では出力側に負荷抵抗  $R_L$  が接続されているものと仮定している。また、入力の信号源のインピーダンスは十分に低いものとする。以下では  $R_L$  は  $50 \Omega$  として計算を行っている。

拡散層－拡散層間のクロストークはネットワークアナライザで直接に測定が可能であるが、しきい値の変動は測定が難しい。これは高周波信号の電圧や電流が精度良く測定できないためである。そこで、拡散層－基板間クロストーク(測定パターン DWW を使用)と基板電圧  $V_{SUB}$  としきい値  $V_{TH}$  の関係つまり基板効果定数  $K$  を別に測定して、両者より基板クロストークによるしきい値変動を求めた。実際には DWW の S 行列からアドミタンス行列  $Y'$  を求めて、さらに次式を用いて入力の信号振幅  $V_{IN}$  と出力のしきい値電圧変動  $\Delta V_{TH}$  の比  $\Delta V_{TH}/V_{IN}$  を求めた。

$$\frac{V_{OUT}}{V_{IN}} = K \frac{-Y'_{21}}{Y'_{22}} = \frac{dV_{TH}}{dV_{SUB}} \frac{-Y'_{21}}{Y'_{22}} \quad (3-5)$$

### 3-3-3. ウェル形成条件

表 3-1 に今回の測定に用いた試料のウェルの形成条件を示す。ウェルは高エネルギー注入で形成した。基板は n 基板である。

プロセスシミュレータにより求めた深さ方向の不純物分布を図 3-5 に示す。不純物濃度は深さ方向に2つのピークがあり、各試料はピークの濃度が異なる。2つのピークの内、深い部分のピークは主に基板抵抗に影響し、浅い部分のピークは基板抵抗と接合容量に影響する。これら試料のウェハーのシート抵抗と接合容量の値を表 3-2 に示す。

### 3-3-4. 拡散層－拡散層クロストーク

図 3-6 に測定パターン DDW で距離  $D1=10 \mu m$  の時のクロストークの測定結果を



表 3-1 ウェル形成条件

試料	P <sup>+</sup>				P <sup>+</sup>		
#1	$0.8 \times 10^{13} \text{cm}^{-2}$	700keV	+		$0.8 \times 10^{13} \text{cm}^{-2}$	230keV	1.31
#2	$1.5 \times 10^{13} \text{cm}^{-2}$	700keV	+		$0.8 \times 10^{13} \text{cm}^{-2}$	230keV	1.32
#3	$3.0 \times 10^{13} \text{cm}^{-2}$	700keV	+		$0.8 \times 10^{13} \text{cm}^{-2}$	230keV	1.33
#4	$1.5 \times 10^{13} \text{cm}^{-2}$	700keV	+		$1.5 \times 10^{13} \text{cm}^{-2}$	230keV	1.58
#5	$1.5 \times 10^{13} \text{cm}^{-2}$	700keV					0.63
#6	$1.5 \times 10^{13} \text{cm}^{-2}$	700keV	+		$0.4 \times 10^{13} \text{cm}^{-2}$	400keV	0.81

表 3-2 ウェルの抵抗・容量

試料	シート抵抗( $\Omega/\square$ )	接合容量( $\text{f/m}^2$ )
#1	0.996	$1.31 \times 10^{-3}$
#2	0.823	$1.32 \times 10^{-3}$
#3	0.642	$1.33 \times 10^{-3}$
#4	0.791	$1.58 \times 10^{-3}$
#5	0.882	$0.63 \times 10^{-3}$
#6	0.795	$0.81 \times 10^{-3}$



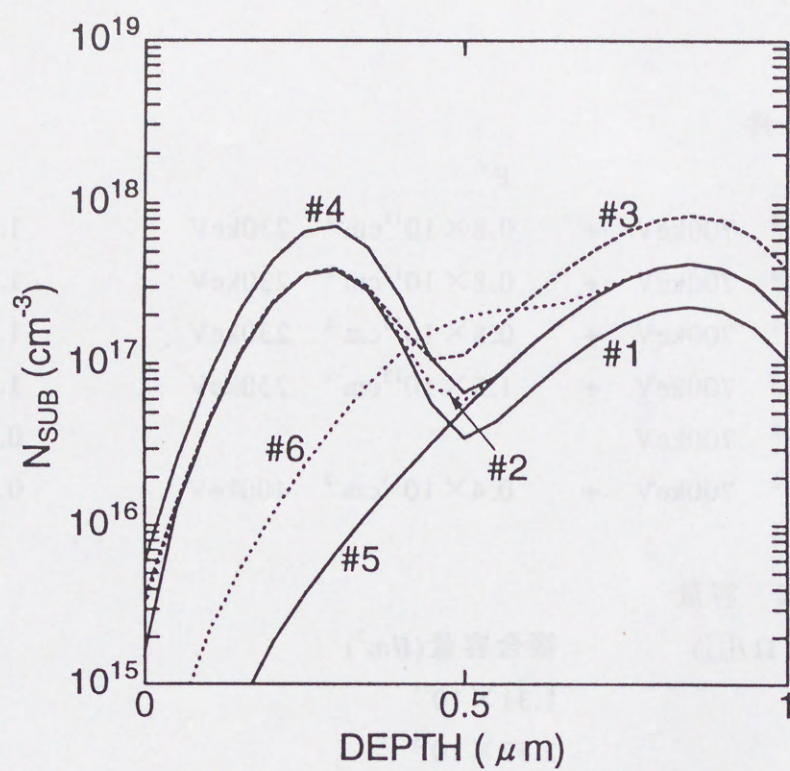


図3-5 深さ方向の不純物濃度分負

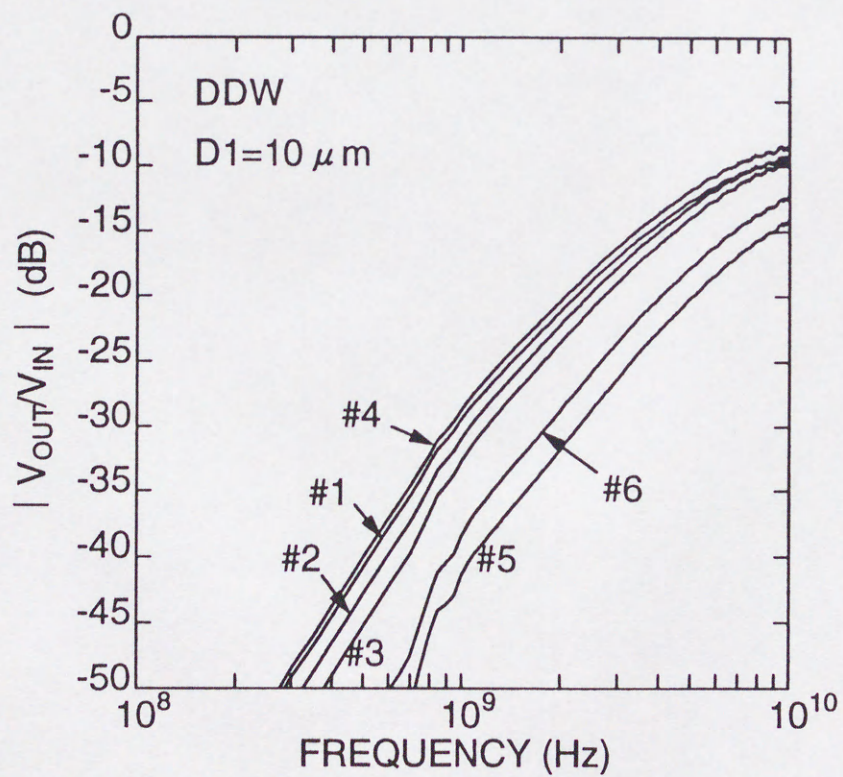


図3-6 拡散層－拡散層間クロストーク



示す。横軸は周波数、縦軸は入出力の信号振幅の比  $|V_{OUT}/V_{IN}|$  である(単位 dB)。図のようクロストークは周波数の上昇と共に急激に上昇し、10GHz では-10dB 近くに達する。これは入力信号振幅の 1/3 程度の振幅が出力に現れていることになる。このように GHz 領域でのクロストークは無視できない大きさである。表 3-2 と図 3-6 を比較すると、クロストークの大きさは基板の抵抗よりも接合容量により敏感であることがわかる。例えば試料#5 と#6 は接合容量が他の試料の 1/2 程度であるが、同時にクロストークも 1/2 程度になっている。

図 3-7 は DDW と DWD でクロストークの大きさを比較した結果である。試料は#2 で測定している。DWD のクロストークは DDW の値に比べて約 15dB 小さい値となっている。DWD ではウエルコンの領域が入力と出力の拡散層の間、つまりクロストークの伝達経路上にあり、シールドとして働く。この結果から GHz 領域においてもウエルコンはクロストークの低減に効果的であることが分かる。

図 3-8 は種々の拡散層間距離  $D1$  におけるクロストークの測定結果である。試料は#2 で測定している。図より MHz 領域では拡散層間の距離はクロストークにあまり影響を与えないが、GHz 領域に入ると周波数が高いほど距離を離す効果が現れていることが分かる。

### 3-3-5. しきい値電圧の変動

次にしきい値電圧の変動の測定結果について述べる。まず図 3-9 には基板電圧としきい値電圧の関係を種々のゲート長に対して示す。一般的にチャネル長が短くなると、ドレイン側から伸びる空乏層によってゲートと基板のカップリングが小さくなる(短チャネル効果の発生)のでしきい値の基板電圧依存性が小さくなる。

図 3-10 には#2 の試料の拡散層から基板に伝わる伝達クロストークを示す。測定パターンは DWW である。拡散層とクロストーク検出用のウエルコンとの距離  $D1$  は  $10\ \mu\text{m}$  である。図の様に拡散層から基板に伝わるクロストークは拡散層-拡散層間のクロストークよりも周波数依存性が小さい。図 3-9 の各曲線の  $V_{SUB}=0\text{V}$  における傾きと、図 3-10 での基板のクロストーク振幅から基板伝達クロストークによるしきい値変動を求めると図 3-11 のようになる。図のようにしきい値の変動も高周波ではかなり大きく、10GHz では-20dB 程度に達する。また、短チャネル効果があまり顕著ではないゲート長  $L=1\sim 0.2\ \mu\text{m}$  ではクロストークの大きさにあまり差がないが、短チャネル効果が顕著となる  $L=0.12\ \mu\text{m}$  ではクロストークは小さくなる。このしきい値変動によるクロストークは拡散層間のクロストークに比べて周波数依存性が小さいので、後で述べるように周波数が非常に高い場合には相対的に影響が小さくなる。



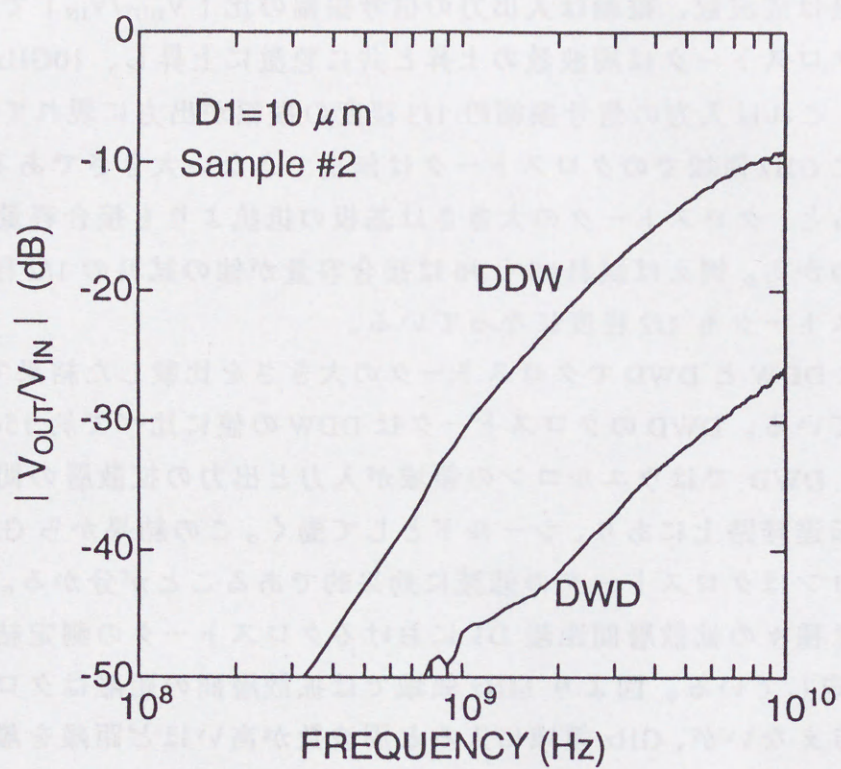


図3-7 クロストークのパターン依存性

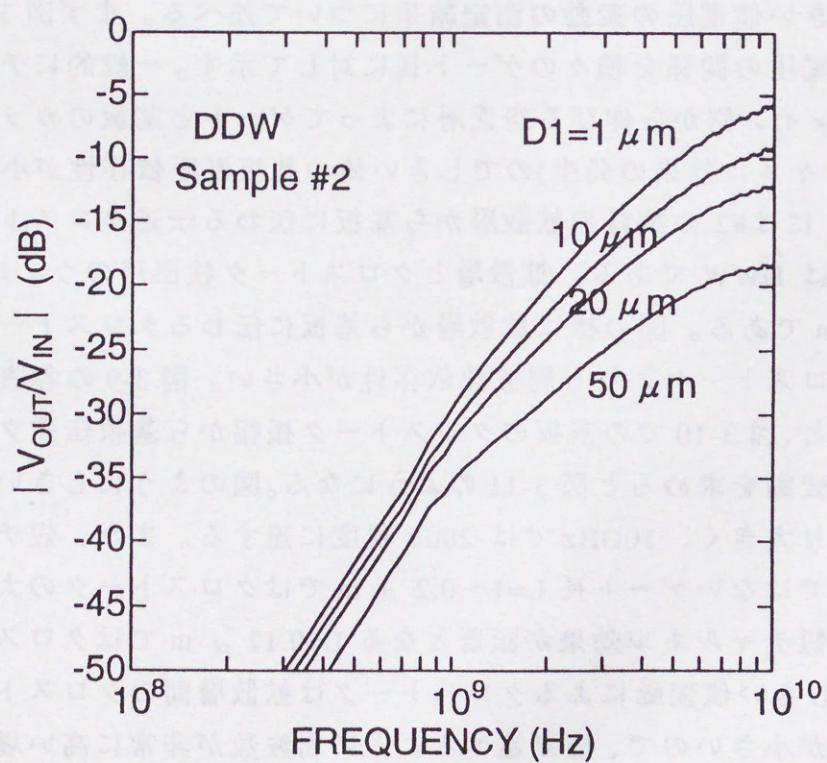


図3-8 クロストークの距離依存性



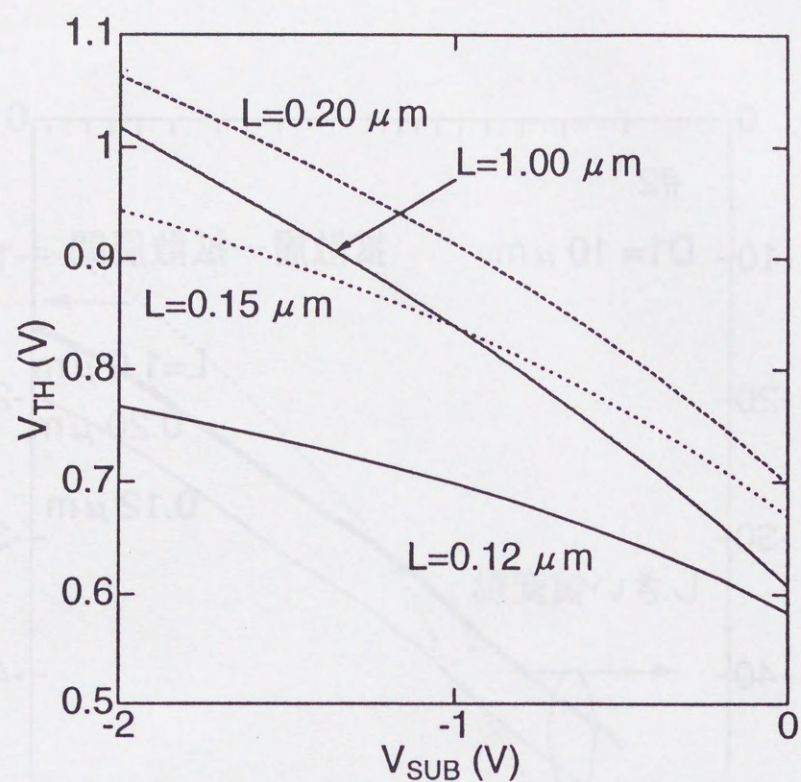


図3-9 基板バイアスとしきい値電圧の関係

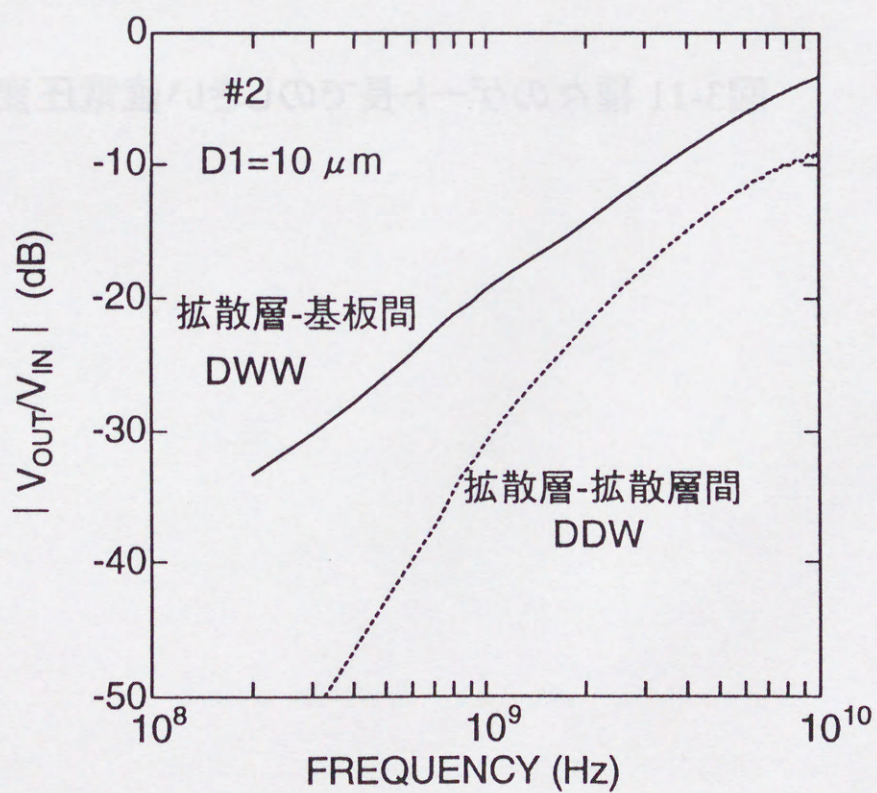


図3-10 拡散層から基板への伝達特性



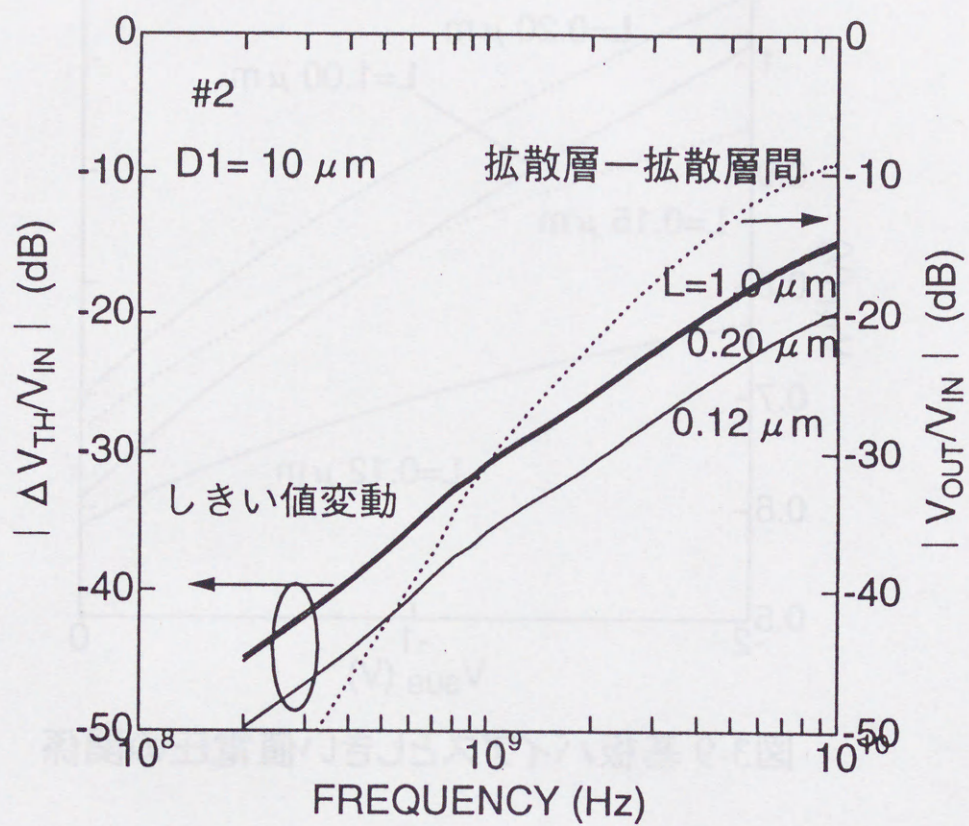


図3-11 種々のゲート長でのしきい値電圧変動



### 3-4. クロストークのモデル

#### 3-4-1. 伝達特性のモデル

次に有効なクロストーク対策を見つけるためにクロストークのモデルについて検討する。クロストークのモデルに関しては種々のものが提案されているが[3.6-8]、主に遠距離からのクロストークについて考えているために複雑であり、数値計算が必要なものが多い。また、実測値と比べた精度もあまり良くなかった[3.7,8]。今回のクロストークの測定は同一ウェル上の近距離のパターンからのクロストークを測定しているため、より単純なモデルで表現できると考えられる。

図 3-12 に拡散層-拡散層間の伝達クロストークのモデルを示す。パターンは DDW を想定している。図で  $R_1, R_2, R_6$  はコンタクト抵抗、 $C_1, C_2$  は接合容量、 $R_3, R_4, R_5$  は基板抵抗、 $L_3, L_4, L_5$  は基板のインダクタンスである。周波数 10GHz でも電磁波の波長は 3mm 程度あるので、数 10  $\mu$  m の伝達特性を表現するには集中定数回路を使用できる。

基板を介して流れる信号の伝達経路は実際にはある程度の広がりを持っており、従来はこの部分が抵抗のネットワークのモデルで表現されていたが、このネットワークから外部に接続される端子は図 3-12 中の 2 つの p+領域と 1 つの n+領域の 3 つのみであるので、基板の抵抗は 3 端子の回路として表現できる。抵抗ネットワークのモデルは  $\Delta$ -Y 変換と Y- $\Delta$  変換を繰り返すことで図 3-12 のような  $\Delta$  型の回路に帰着するのでこのような単純なモデルで十分にクロストークの伝達特性を表現できると考えられる。実際の測定時には基板は裏面がグラウンドに接続されているが、基板の厚さは 600  $\mu$  m 程度あるため裏面までの抵抗は  $R_3, R_4, R_5$  に比べて高い。さらに裏面コンタクトとネットワークアナライザのグラウンド端子までは表面の高周波プローブとは別系統で接続されているために大きなインダクタンスがあり、このインダクタンスを考慮すると、高周波的には裏面はフローティングと考えることができる。

このモデルからインピーダンス行列  $Z$  を求めると次式のようなになる。

$$Z = \begin{pmatrix} R_1 + R_6 - \frac{j}{\omega C_1} + \frac{(R_4 + j\omega L_4)(R_3 + j\omega L_3 + R_5 + j\omega L_5)}{R_w} & \frac{(R_4 + j\omega L_4)(R_5 + j\omega L_5)}{R_w} + R_6 \\ \frac{(R_4 + j\omega L_4)(R_5 + j\omega L_5)}{R_w} + R_6 & R_2 + R_6 - \frac{j}{\omega C_2} + \frac{(R_5 + j\omega L_5)(R_3 + j\omega L_3 + R_4 + j\omega L_4)}{R_w} \end{pmatrix}$$

$$R_w = R_3 + R_4 + R_5 + j\omega(L_3 + L_4 + L_5) \quad (3-6)$$

図 3-13 はこのモデルを用いて計算したクロストークと実測値を比較した結果である。計算に用いた値を表 3-3 に示す。以下では拡散層の長さ  $W=200 \mu$  m に対しての抵抗、容量の値を示す。この値のうち接合容量は接合容量測定パターンで容量の



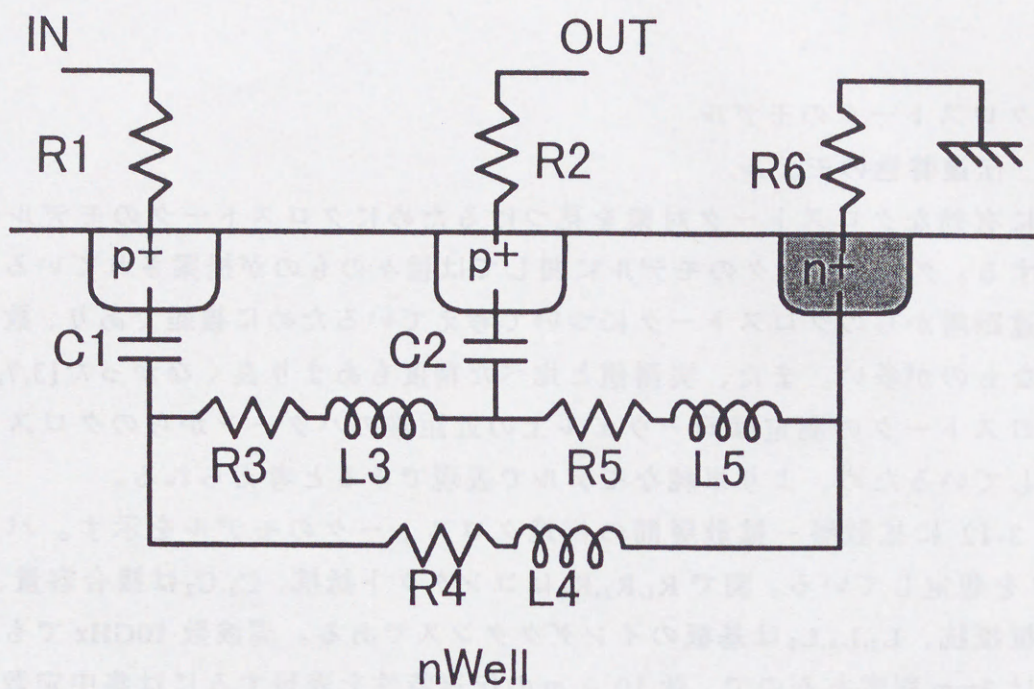


図3-12 クロストークのモデル(DDW)

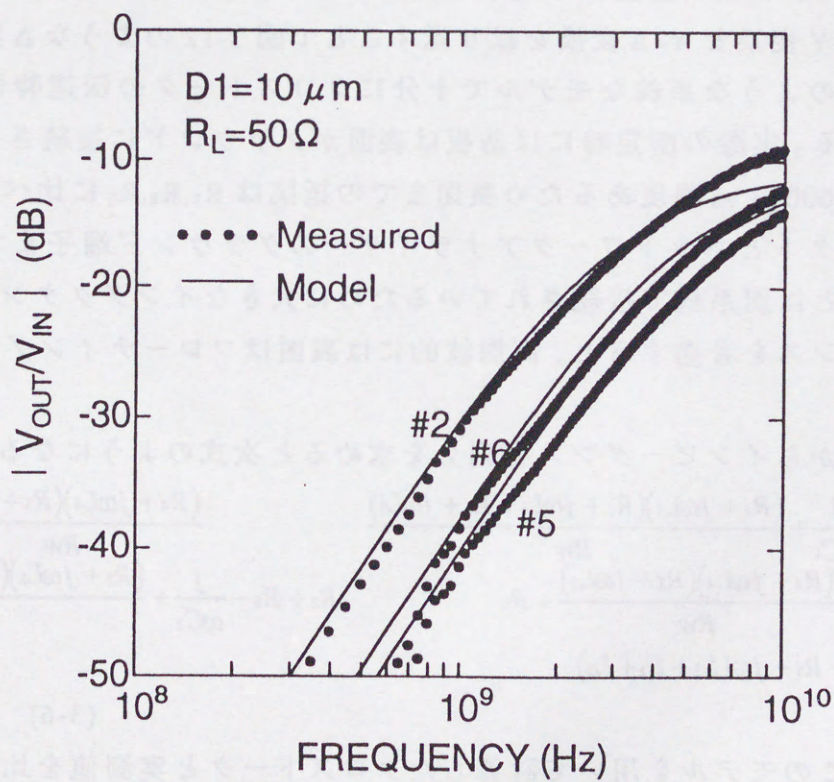


図3-13 モデルと実測の比較



表 3-3 モデルに用いたパラメーター

試料	C <sub>1</sub> (pF)	C <sub>2</sub> (pF)	R <sub>1</sub> (Ω)	R <sub>2</sub> (Ω)	R <sub>3</sub> (Ω)	R <sub>4</sub> (Ω)	R <sub>5</sub> (Ω)	R <sub>6</sub> (Ω)
DDW								
#1	1.044	1.044	0.42	0.42	48.1	224	27.8	0.42
#2	1.052	1.052	0.42	0.42	37.8	162	22.1	0.42
#3	1.071	1.071	0.42	0.42	26.4	120	17.8	0.42
#4	1.266	1.266	0.42	0.42	34.3	144	22.5	0.42
#5	0.503	0.503	0.42	0.42	42.5	189	28.0	0.42
#6	0.650	0.650	0.42	0.42	36.5	158	22.6	0.42
DWD								
#2	1.052	1.052	0.42	0.42	221	13.1	13.1	0.42
W=200 μ m								

表 3-4 クロストークから逆算したパラメーター

試料	C <sub>1</sub> (pF)	C <sub>2</sub> (pF)	R <sub>3</sub> (Ω)	R <sub>4</sub> (Ω)	R <sub>5</sub> (Ω)
DDW					
#1	0.955	0.905	55.2	333	28.9
#2	0.962	0.897	39.6	296	21.6
#3	0.972	0.913	27.2	254	15.8
#4	1.169	1.099	35.7	272	19.7
#5	0.415	0.385	54.8	419	28.2
#6	0.564	0.526	42.0	345	22.7
Frequency=3GHz			W=200 μ m		



底面成分と側面成分を求めて、それからクロストーク測定パターンの形状に対して計算した値を用い、 $R_3, R_4, R_5$  はクロストーク測定パターンと同じ形状の抵抗測定パターンを用いて測定し(測定方法は補足 2 参照)、コンタクト抵抗  $R_1, R_2, R_6$  はコンタクトチェーンから測定した。このモデルでの値を実測値と比較すると良く一致していることがわかる。

このモデルの精度を評価するために図 3-6 のクロストーク測定結果から逆に図 3-12 のモデルのためのパラメーターを抽出した。この結果を表 3-4 に示す。表では 3GHz での S パラメータより求めた値を示している。

表 3-3 と表 3-4 を比較すると容量の値は 10~20%程度の誤差に収まっている。抵抗は容量に比べて誤差が大きい、後述のように抵抗のクロストークに対する影響はここでは小さい。容量の誤差が小さいことから、数 GHz 程度ではキャリアが追従できず容量が小さく見えるとういような現象は起こっていないと思われる。

この方法で抽出される抵抗値の周波数依存性は  $R_3, R_5$  はほぼ周波数によらず一定の値が得られるのに対して、 $R_4$  は周波数の上昇と共に小さくなる傾向がみられた。この  $R_4$  は図 3-12 における入力拡散層とウェルコンの間の抵抗であり、間に出力の拡散層があるために、基板の深い部分の抵抗が  $R_4$  に反映されている。よって、他の抵抗に比べて電流の流れる経路が長く幅広い。このため  $R_4$  に誤差が現れる原因には基板のインダクタンス、容量や表皮効果を考慮していないことが考えられる。ただし、後で述べるように抵抗のクロストークへの寄与は容量に比べて小さいために、抵抗値の誤差がある程度ある状態でも求められるクロストークの誤差は小さい。

以上はパターン DDW に対するクロストークのモデルであったが、このモデルは他のパターンにも適用できる。図 3-14 はパターン DWD に対する同様なモデルである。図では基板のインダクタンスは無視している。このモデルと図 3-12 のモデルの違いは基板の抵抗  $R_3, R_4, R_5$  の値の違いのみである。このモデルに対してクロストークを計算した結果と測定値との比較を図 3-15 に示す。計算に用いたパラメーターは表 3-3 参照。図の様にパターン DWD に対してもモデルと実測値は良い一致を示しており、このモデルはパターンの配置に依存しないことが分かる。

以上のことから、近距離で発生する基板伝達クロストークは図 3-12 のような簡単なモデルで記述できることがわかる。また、このモデルは能動素子を含まないので線形性を持っており、重ね合わせの理が適用できる。つまり、より複雑なクロストーク源が複数あるような場合でもこのモデルを応用することでクロストークを予測できると考えられる。このように DC や低周波で測定したパラメーターのみで GHz 領域のクロストークを精度良く求めることが出来ることが分かった。



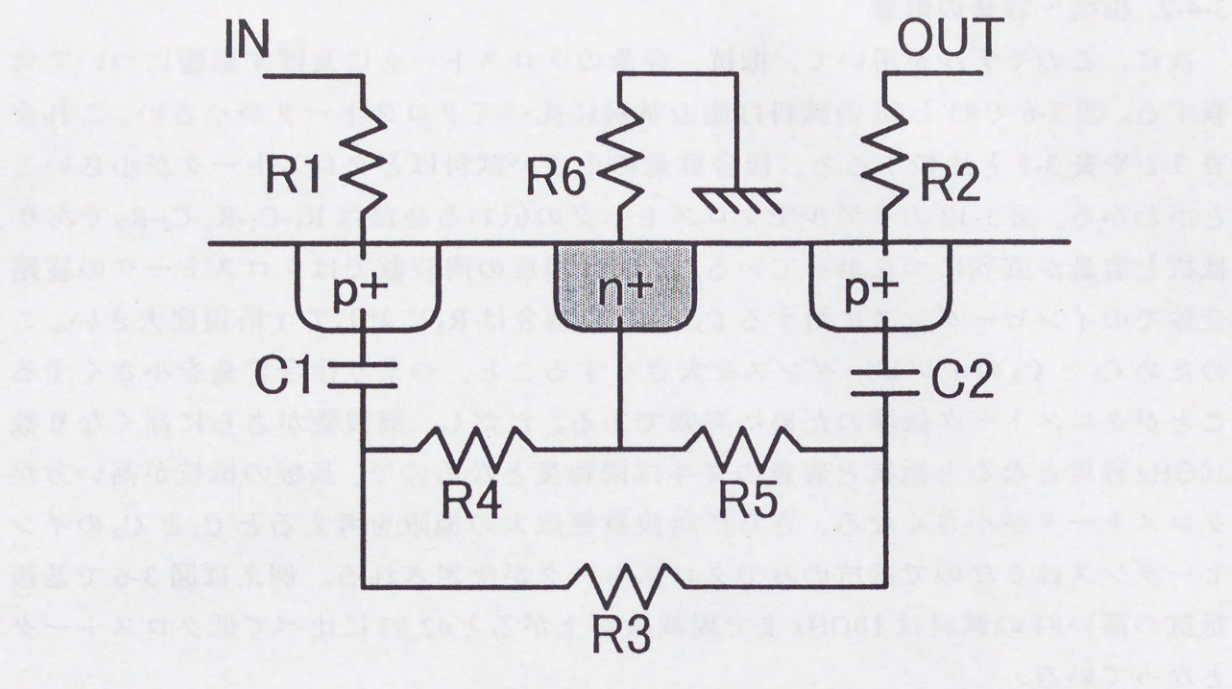


図3-14 クロストークのモデル(DWD)

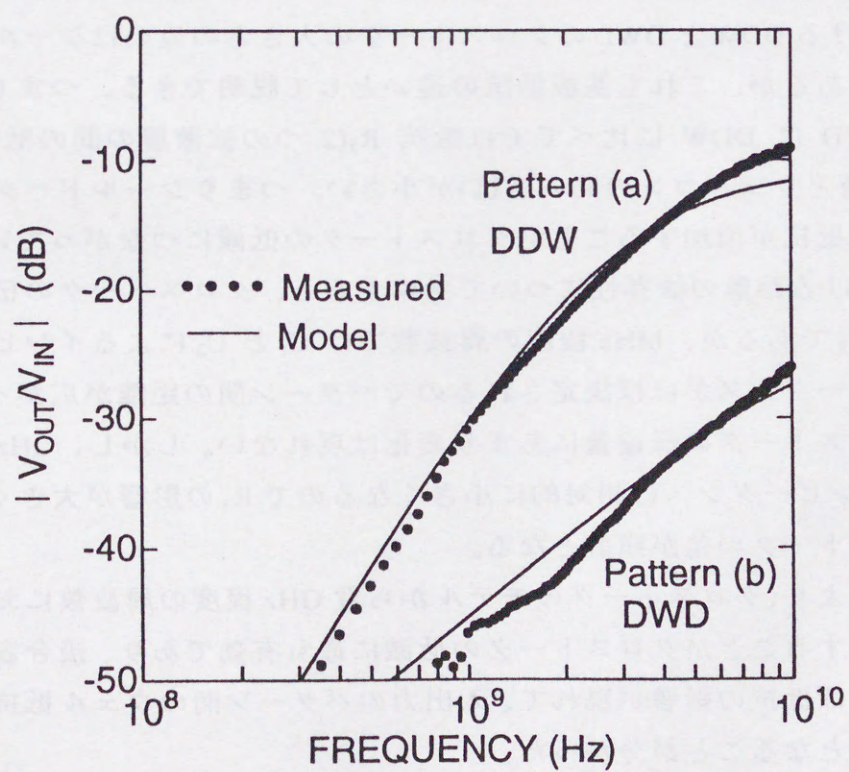


図3-15 モデルと実測の比較(DWD)



### 3-4-2. 抵抗・容量の影響

次に、このモデルを用いて、抵抗、容量のクロストークに及ぼす影響について考察する。図 3-6 で #5 と #6 の試料は他の試料に比べてクロストークが小さい。これを表 3-2 や表 3-3 と比較すると、接合容量の小さい試料ほどクロストークが小さいことがわかる。図 3-12 のモデルでクロストークの伝わる経路は  $R_1-C_1-R_3-C_2-R_2$  であり、抵抗と容量が直列につながっている。数 GHz 程度の周波数ではクロストークの経路全体でのインピーダンスに対する  $C_1$  と  $C_2$  の割合は  $R_3$  に対して 1 桁程度大きい。このため  $C_1$  と  $C_2$  のインピーダンスを大きくすること、つまり接合容量を小さくすることがクロストーク低減のために有効である。ただし、周波数がさらに高くなり数 10GHz 程度となると抵抗と容量の寄与は同程度となるので、基板の抵抗が高い方がクロストークが小さくなる。さらに周波数無限大の極限を考えると  $C_1$  と  $C_2$  のインピーダンスは 0 なので抵抗のみでクロストークが決定される。例えば図 3-6 で基板抵抗の高い #1 の試料は 10GHz まで周波数が上がると #2, #3 に比べて低クロストークとなっている。

また、表 3-3 と表 3-4 で  $R_4$  の誤差について述べたが、周波数の低い部分では容量のクロストークに対する寄与の方が大きいため抵抗分の誤差の影響は小さい。しかし、高周波になると抵抗の寄与が大きくなるため、 $R_4$  の誤差によってモデルの誤差が大きくなると考えられる。

図 3-7 における DDW と DWD のクロストークの大きさの違いはシールドパターンによるものであるが、これも基板抵抗の違いとして説明できる。つまり表 3-3 に示すように DWD は DDW に比べてでは抵抗  $R_3$  (2 つの拡散層の間の抵抗) が大きく  $R_4$  (入力拡散層とウェルコンの間の抵抗) が小さい。つまりシールドパターンによって拡散層間の抵抗が増加することがクロストークの低減につながっている。

図 3-8 における距離の依存性について考察すると、クロストークの伝わる経路は  $R_1-C_1-R_3-C_2-R_2$  であるが、MHz 程度の周波数では  $C_1$  と  $C_2$  によるインピーダンスで全体のインピーダンスがほぼ決定されるのでパターン間の距離が広がって  $R_3$  が増加してもクロストークの伝達量にあまり変化は現れない。しかし、GHz 領域に入ると  $C_1, C_2$  のインピーダンスは相対的に小さくなるので  $R_3$  の影響が大きくなり、距離によるクロストークの差が顕著となる。

以上のことから、クロストークのモデルから数 GHz 程度の周波数においては接合容量を小さくすることがクロストークの低減に最も有効であり、接合容量がある程度小さくなれば抵抗の影響が現れて、入出力のパターン間のウェル抵抗を大きくすることが有効となることが分かった。



### 3-5. クロストークの MOSFET への影響

#### 3-5-1. MOSFET の等価回路

前節まではクロストークの伝達特性について述べたが、次にこのクロストークが MOSFET に与える影響について検討を行った。3-2 節で述べた 2 種クロストーク、拡散層-拡散層と基板電圧によるしきい値の変動を含んだ形での MOSFET の等価回路を図 3-16 に示す。図で、拡散層-拡散層間のクロストークはドレイン側に加わる。このクロストークは基板電圧の変動を電圧源  $V_{NW}$  で表現すると接合容量  $C_j$  と  $V_{NW}$  の直列接続がチャネルの微分抵抗  $r_c(=dV_D/dI_D)$  や負荷抵抗  $R_L$  と並列に加わる形で表現される。また、しきい値の変動ゲート側に加わる。このクロストークは 3-2 節で述べたようにゲート電圧の変動と等価であるので、基板効果定数  $K$  を用いると電圧源  $KV_{NW}$  がゲート抵抗  $r_g$  に直列に加わる形で表わされる。この等価回路ではソース・ドレインや LDD 部の抵抗やインダクタンスは小さいとして無視している。また、電圧源  $V_{NW}$  の内部インピーダンスは  $r_g, r_c, R_L$  と比較して無視できるほど小さいとしている。 $V_{NW}$  の内部インピーダンスは図 3-14 における  $R_4$  や  $R_5$  と考えることができるので、3-4 節で述べたように  $R_4$  と  $R_5$  は数 GHz の領域では  $C_j$  によるインピーダンスの数分の 1 であり、この領域ではこの仮定を用いることができる。

#### 3-5-2. クロストーク感度

図 3-16 の等価回路から基板電圧の変動とクロストークによって発生するドレイン端での信号出力  $V_{OUT}$  の関係を求めると次式のようにになる。

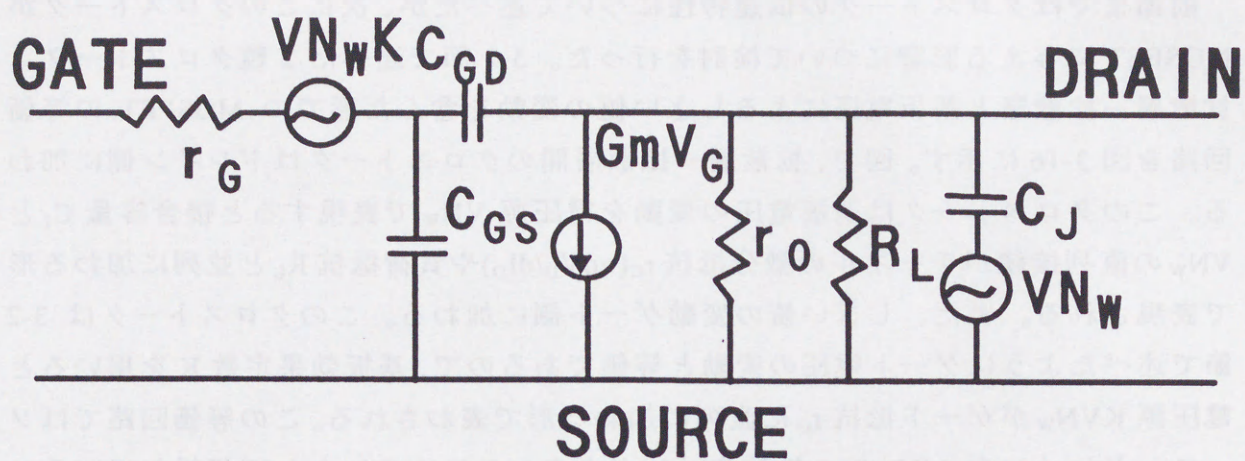
$$V_{OUT} \approx \frac{R_L/r_c}{\frac{1}{j\omega C_j} + R_L/r_c} V_{NW} + G_m \left( \frac{1}{j\omega C_j} // R_L/r_c \right) KV_{NW} \quad (3-7)$$

この式ではゲート抵抗  $r_g$  とゲートドレイン間容量  $C_{GD}$  は無視している。クロストーク源での信号振幅を  $V_{Ns}$  とするとこの式での電圧源  $V_{NW}$  は 3-5 式と同様に基板の伝達行列  $Y'$  を用いると次式で与えられる。

$$\frac{V_{NW}}{V_{Ns}} = \frac{-Y'_{21}}{Y'_{22}} \quad (3-8)$$

3-7 式で第 1 項は拡散層-拡散層間のクロストークを表わしている。これは基板電圧変動による電圧  $V_{NW}$  を  $1/j\omega C_j$  と  $R_L/r_c$  で分割することを表わしており、 $1/j\omega C_j$  に対して  $R_L/r_c$  が小さければ実際に出力されるクロストークは小さくなる。つまり、 $R_L$  や  $r_c$  が大きいとクロストークの影響を大きく受ける。第 2 項はしきい値の変動によるクロストークを表わしている。これは  $G_m$  と  $1/j\omega C_j$ 、 $R_L$ 、 $r_c$  の並列接続の積であるから、クロストークを小さくするには同じく  $R_L$  や  $r_c$  が小さい方がよい。以





- $r_G$ : ゲート抵抗
- $r_o$ : チャネルの微分抵抗
- $R_L$ : 負荷抵抗
- $C_{GS}, C_{GD}$ : ゲート・ソース・ドレイン間容量
- $C_J$ : ドレイン接合容量
- $VN_W$ : 基板電圧変動
- $K$ : 基板効果定数 ( $dV_{TH}/dV_{SUB}$ )

図3-16 MOSFETの等価回路



上のことからクロストークによって発生する出力電圧を小さくするには MOSFET のチャネル微分抵抗や負荷抵抗をあまり大きくできないことになる。

次に MOSFET の信号増幅率  $G_s$  とクロストーク増幅率  $G_c$  の比をクロストーク感度  $F_c$  として定義すると、これは 3-7 式より次式のように求まる。 $F_c$  が大きいほど MOSFET はクロストークに弱いことになる。

$$\begin{aligned} G_c &= \frac{V_{OUT}}{V_{Nw}} \\ G_s &= \frac{V_{OUT}}{V_{IN}} \\ F_c &= \frac{G_c}{G_s} \approx \sqrt{\left(\frac{\omega C_j}{G_m}\right)^2 + K^2} \end{aligned} \quad (3-9)$$

ここで  $V_{IN}$  はゲート端子での入力信号電圧である。3-7 式と同様にこの式の第 1 項は拡散層－拡散層間のクロストーク、第 2 項はしきい値の変動によるクロストークを表わしている。この式は  $R_L$  や  $r_c$  を含んでいない。つまり第 1 次近似ではクロストーク感度は負荷抵抗やチャネル微分抵抗に依存しない。ゲート長  $0.1 \mu\text{m}$  程度の MOSFET では  $K$  は 0.1 程度、 $G_m$  は  $300\text{mS/mm}$  程度、 $C_j$  は  $1\text{fF}/\mu\text{m}$  程度の値を持つ。よって数  $100\text{MHz}$  の領域では 3-9 式では第 2 項が支配的であるが、第 1 項は周波数依存性があり数  $\text{GHz}$  の領域で第 1 項の方が大きくなる。この式よりクロストーク感度を小さくするには  $C_j$  や  $K$  を小さくし、 $G_m$  を大きくすれば良いことが分かる。

### 3-6. クロストーク対策

#### 3-6-1. 種々のクロストーク対策

従来、基板クロストーク対策は回路的な見地から検討されていた[3,4,6,7]。従来提案されているクロストーク対策には以下のようなものがある。

- a) ウェルコンを作る
- b) 素子の間隔を離す
- c) 差動で動作させる

これに対してデバイスの手法、つまりトランジスタ単体としてクロストークに強くするための手法はほとんど検討されていなかった。このような方式としては 3-5 節より次のような方法が考えられる。

- d)  $G_m$  を大きくする
- e) しきい値電圧の基板電圧依存性を小さくする
- f) 接合容量を低減する



以降ではこれらのクロストーク対策の効果について検討する。

### 3-6-2. 従来クロストーク対策

まず、従来の回路的クロストーク対策の a) と b) の効果であるが、これは 3-4 節の図 3-7, 8 に示されるように GHz 領域でも有効な手段である。特に b) は高周波ほど効果は大きい。また、c) の差動構成に関しては 5 章で後述するようにある程度の効果がある。ただし、c) については回路の大幅な変更が必要となり、素子の特性ばらつきによって効果に差があるといった問題があるので、必ずしも実施できるとは限らない。

### 3-6-3. MOSFET の動作点

次にデバイスのクロストーク対策について考察する。まず  $G_m$  についてはゲート長の短い MOSFET ほど大きいので、この点では微細な MOSFET の方がクロストークに対して有利である。MOSFET の電圧ゲインは単純には  $G_m$  とチャネルの微分抵抗  $r_c$  の積で与えられる。微細な MOSFET では  $r_c$  が下がるために  $G_m$  が大きくなってもゲインを大きくすることが出来ないため、従来はゲートの微細化によって必ずしも性能は向上しない[3.13]とされていた。しかし、以上の議論より  $G_m$  の向上によりクロストークに関しては微細化の効果があることが分かる。

図 3-17 は MOSFET の  $I_D$ - $V_D$  特性の一例である(ゲート長  $0.15 \mu m$ )。図中に示すようにゲート電圧  $V_G$  が高い領域の方が高い  $G_m$  が得られるがチャネル微分抵抗  $r_c (=dV_D/dI_D)$  が小さく、つまり図の曲線の傾きが大きくなるために電圧ゲインが小さくなる。このため従来の設計指針ではチャネル微分抵抗の向上による高ゲイン化を目指していたために図の(b)のような電源電圧の 1/2 程度の低いゲート電圧のバイアス条件が用いられていた。しかし MOSFET を GHz 領域で用いる場合、出力のドレイン端には接合容量が存在し、この影響が無視できなくなる。例えばドレインにゲート幅  $1 \mu m$  あたり  $1fF$  の接合容量がある場合、これによって発生するインピーダンスは  $3GHz$  で  $53k \Omega$  となる。これは図 3-17 の  $r_c$  に近い値であるために、単純に  $r_c$  を大きくしても大きなゲインは得られない。さらに、MOSFET はゲート電圧がしきい値電圧に近づくと弱反転領域で動作するために  $G_m$  が非常に小さくなる[3.10]。一般的に MOSFET のしきい値電圧は待機電流を一定以上に保つ必要性から電源電圧を下げても電源電圧に比例して小さくすることは出来ない[3.14]。このため低電圧で動作させるほど従来のような低いバイアス条件では  $G_m$  が低くなり、クロストークに対して弱くなる。そこで GHz 領域では(a)のような高いゲート電圧が望ましいと考えられる。この場合には  $r_c$  はあまり大きくならないが  $G_m$  を MOSFET の性能いっぱいまで高めることが出来るのでクロストークに対して強くすることができ、



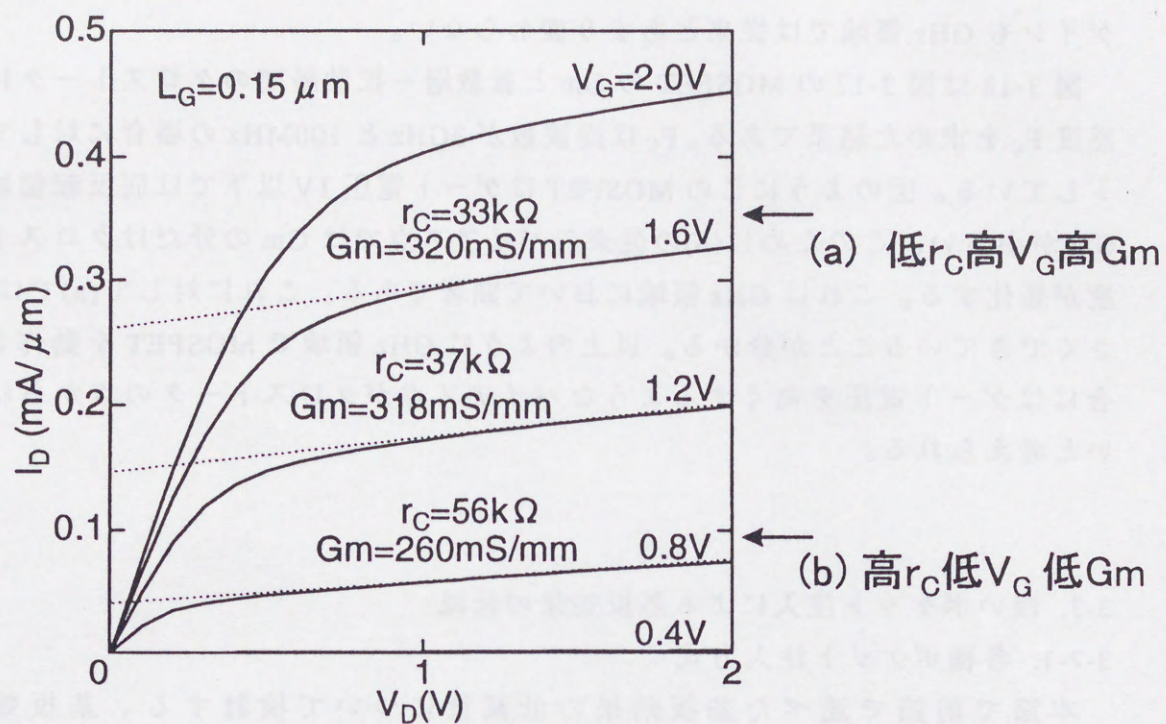


図3-17 MOSFETの $I_D-V_D$ 特性

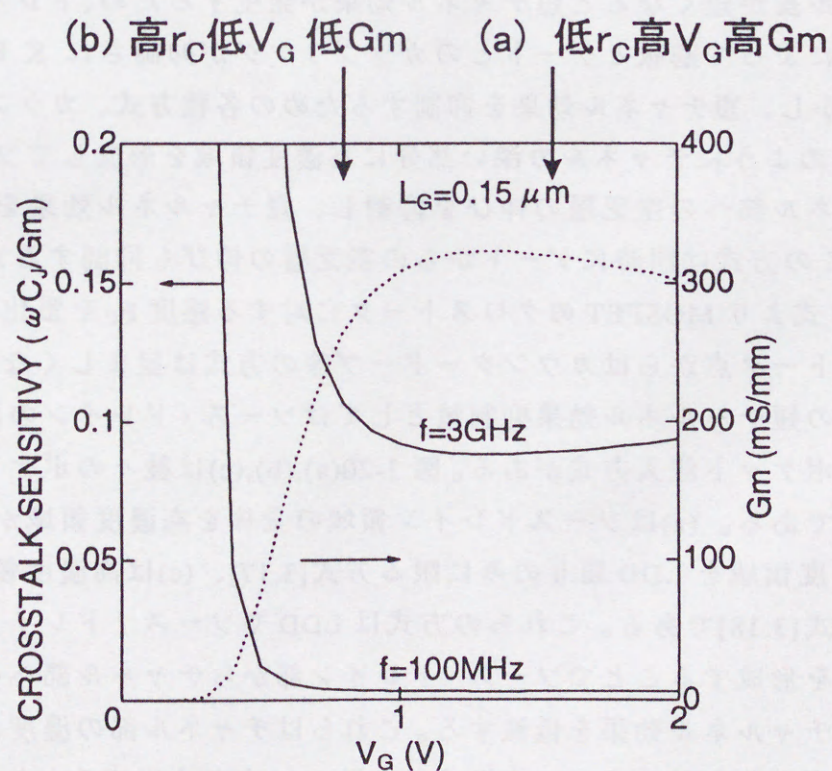


図3-18 クロストーク感度



ゲインも GHz 領域では従来とあまり変わらない。

図 3-18 は図 3-17 の MOSFET の  $G_m$  と拡散層-拡散層間のクロストークに対する感度  $F_c$  を求めた結果である。 $F_c$  は周波数が 3GHz と 100MHz の場合に対してプロットしている。図のようにこの MOSFET はゲート電圧 1V 以下では弱反転領域となり  $G_m$  が小さい。このために(b)の従来のバイアス点では  $G_m$  の分だけクロストーク感度が悪化する。これは GHz 領域において顕著である。これに対して(a)では  $F_c$  が小さくできていることが分かる。以上のように GHz 領域で MOSFET を動作させる場合にはゲート電圧を高くするようなバイアス点がクロストークの点からは望ましいと考えられる。

### 3-7. 浅いポケット注入による基板効果の低減

#### 3-7-1. 各種ポケット注入方式

本節で前節で述べた基板効果の低減策について検討する。基板効果定数  $K=dV_{TH}/dV_{SUB}$  は短チャネル効果がなく、基板の濃度  $N_{SUB}$  が均一の場合には 3-1 式で与えられ、これより  $K$  を小さくするにはゲート酸化膜を薄くするか、もしくは基板の濃度を下げる必要があることが分かる。ゲート酸化膜厚はあまり自由に設定できないので以降では基板の濃度について考える。

チャネル長が短くなると短チャネル効果が発生するため、ドレイン側からの空乏層の伸びによって基板とゲートとのカップリングが抑制され  $K$  は自動的に小さくなる。しかし、短チャネル効果を抑制するための各種方式、カウンタードープなどは図 3-19 のようにチャネルの深い部分に高濃度領域を形成してソース・ドレイン部からチャネル部への空乏層の伸びを抑制し、短チャネル効果を低減する[3.15]。しかし、この方式は同時にゲートからの空乏層の伸びも抑制するために  $K$  が大きくなり、3-9 式より MOSFET のクロストークに対する感度  $F_c$  を悪化させる。よって基板クロストーク点からはカウンタードープ等の方式は望ましくない。

この他の短チャネル効果抑制策としてはソース・ドレインの周囲に高濃度層を形成するポケット注入方式がある。図 3-20(a),(b),(c)は種々のポケット注入方式を示したものである。(a)はソースドレイン領域の全体を高濃度領域が覆う方式[3.16]、(b)は高濃度領域を LDD 周りのみに限る方式[3.17]、(c)は高濃度領域を LDD の下部に限る方式[3.18]である。これらの方式は LDD やソース・ドレイン部の周囲に高濃度の領域を形成することでソース・ドレイン部からチャネル部への空乏層の伸びを抑制し短チャネル効果を低減する。これらはチャネル部の濃度はカウンタードープ等の方式よりも低いので、基板効果定数  $K$  は小さく出来る。しかし、これらはいずれもソース・ドレイン部の周囲に高濃度の領域によって接合容量が増加するとい



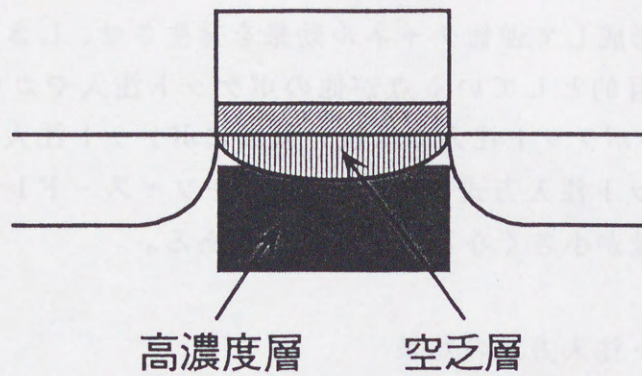


図3-19 カウンタードープ方式

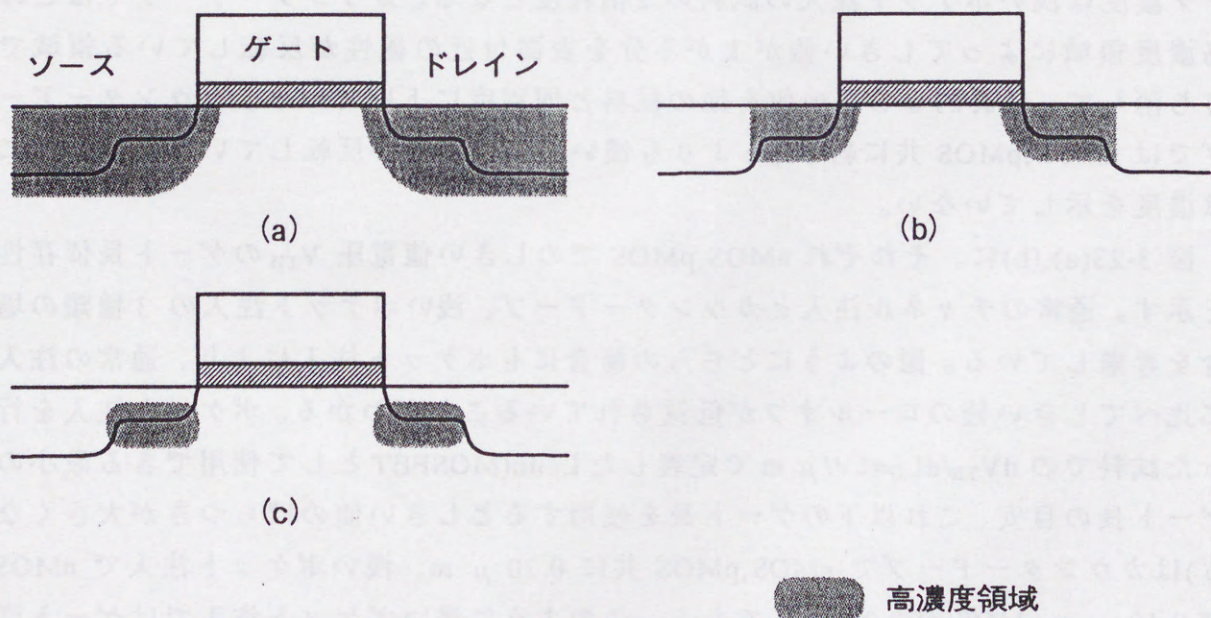


図3-20 種々のポケット注入方式



う問題点がある。この接合容量の増加はクロストークの増加をもたらす。

図 3-21 は LDD 部とチャネル部の境界のごく浅い部分のみにポケット注入を行う浅いポケット注入方式である[3.19,20]。この方式はチャネルの端部に局所的にしきい値の高い領域を形成して逆短チャネル効果を発生させ、しきい値のロールオフを補償することを主目的としている点が他のポケット注入やカウンタードープ等の方式と異なる。浅いポケット注入では浅い領域にポケット注入を行うだけなので、上記の 3 つのポケット注入方式に比べて LDD やソース・ドレイン周りの不純物濃度が低く、接合容量が小さくなるという長所がある。

### 3-7-2. 浅いポケット注入方式の効果

浅いポケット注入方式の効果を調べるために表 3-5 に示すようなチャネル注入とポケット注入条件の MOSFET を試作した。表で(a)は通常のチャネル注入条件、(b)はカウンタードープを行ったもの、(c)は浅いポケット注入を行ったものである。(c)のチャネル注入条件は(a)とほぼ同じにしている。ポケット注入は回転斜め注入(回転数 1.5rpm)で行なった。

(b)と(c)に対してチャネル部の深さ方向の不純物分布をシミュレーションにより求めた結果を図 3-22(a),(b)に示す。nMOS,pMOS 共にカウンタードープの試料のピーク濃度は浅いポケット注入の試料の 2 倍程度となる。カウンタードープではこの高濃度領域によってしきい値が上がる分を表面付近の極性が反転している領域で打ち消して、最終的なしきい値を他の試料と同程度に下げている。カウンタードープでは nMOS,pMOS 共に約 50nm よりも浅い領域は極性が反転しているため、図には濃度を示していない。

図 3-23(a),(b)に、それぞれ nMOS,pMOS でのしきい値電圧  $V_{TH}$  のゲート長依存性を示す。通常のチャネル注入とカウンタードープ、浅いポケット注入の 3 種類の場合を考慮している。図のようにどちらの場合にもポケット注入により、通常の注入に比べてしきい値のロールオフが低減されていることがわかる。ポケット注入を行った試料での  $dV_{TH}/dL_G=1V/\mu m$  で定義した  $L_{min}$ (MOSFET として使用できる最小のゲート長の目安、これ以下のゲート長を使用するとしきい値のばらつきが大きくなる)はカウンタードープで nMOS,pMOS 共に  $0.20 \mu m$ 、浅いポケット注入で nMOS が  $0.19 \mu m$ ,pMOS が  $0.20 \mu m$  である。このように浅いポケット注入ではゲート直下の不純物濃度が低い状態でも短チャネル効果が低減できており、カウンタードープと同等の  $L_{min}$  が得られることが分かる。

以上の試料に対してしきい値  $V_{TH}$  と基板バイアス  $V_{SUB}$  の関係を測定した。図 3-24 その結果を示す。図はゲート長が  $0.15 \mu m$  の場合について示している。図で縦軸は基板効果定数  $K(=dV_{TH}/dV_{SUB})$  としている。図 3-23 で(b)カウンタードープと(c)浅



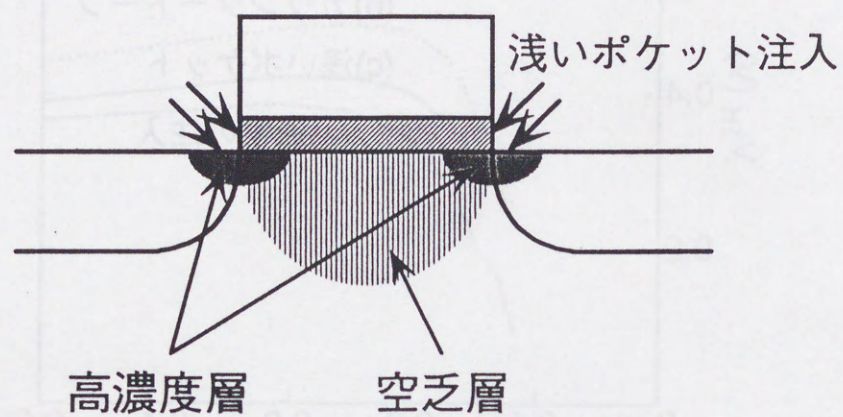
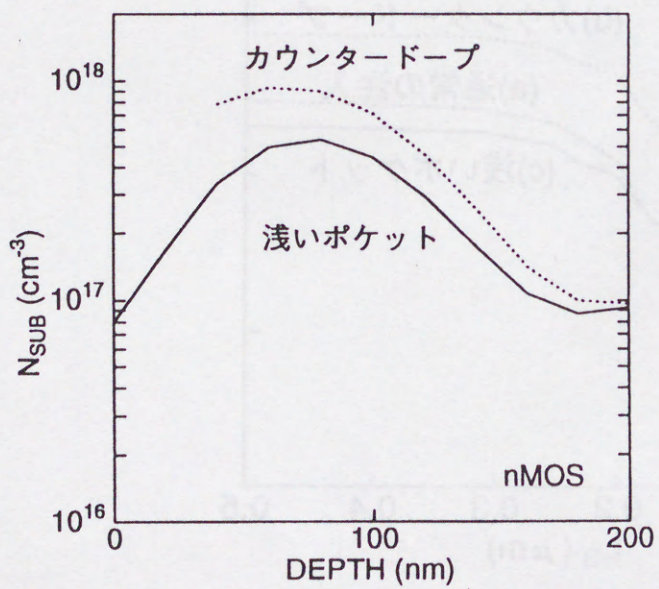
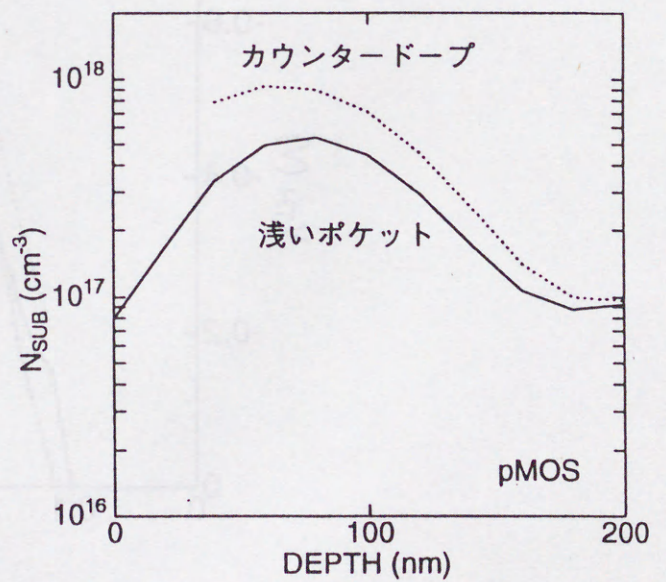


図3-21 浅いポケット注入方式



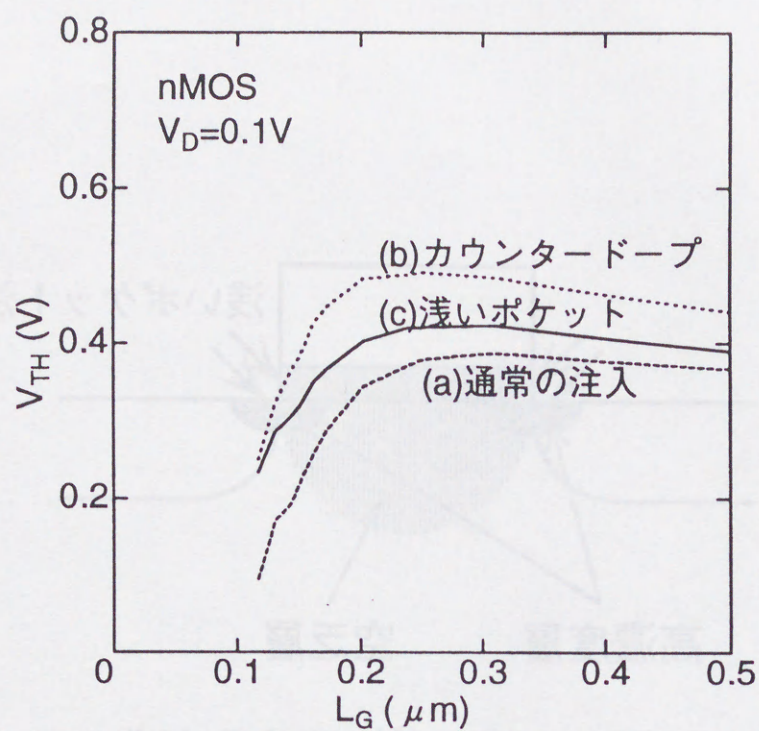
(a) nMOS



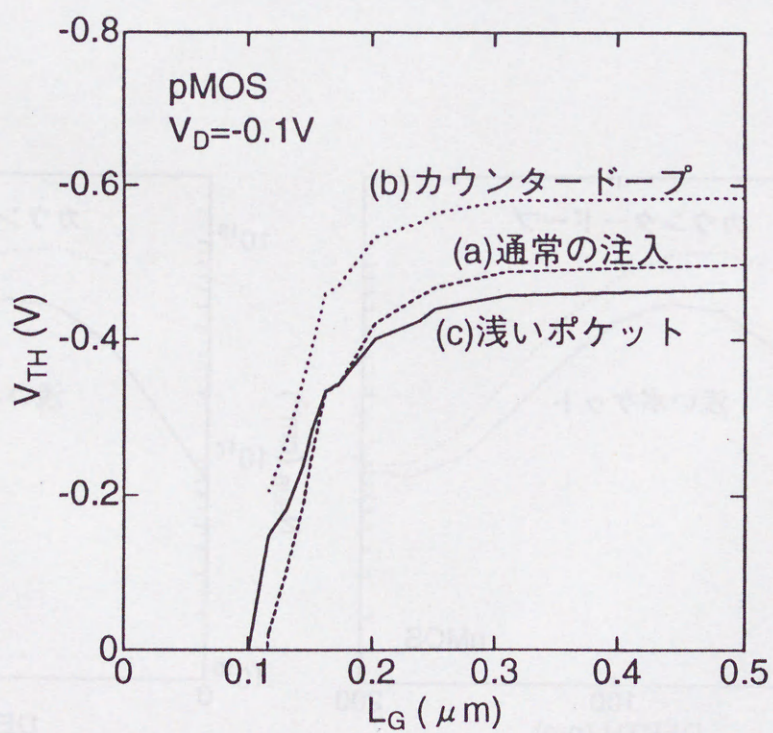
(a) pMOS

図3-22 深さ方向の不純物分布





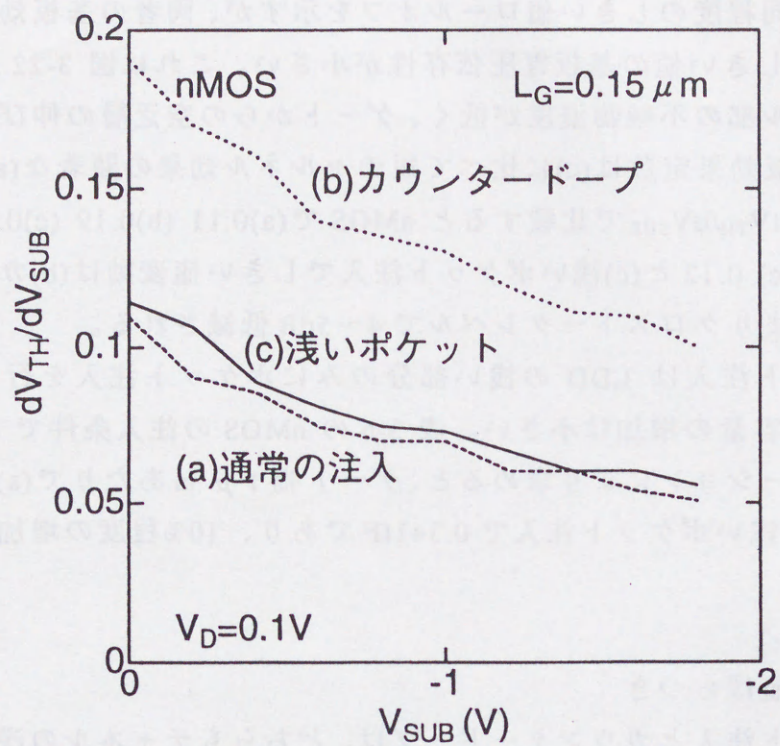
(a) nMOS



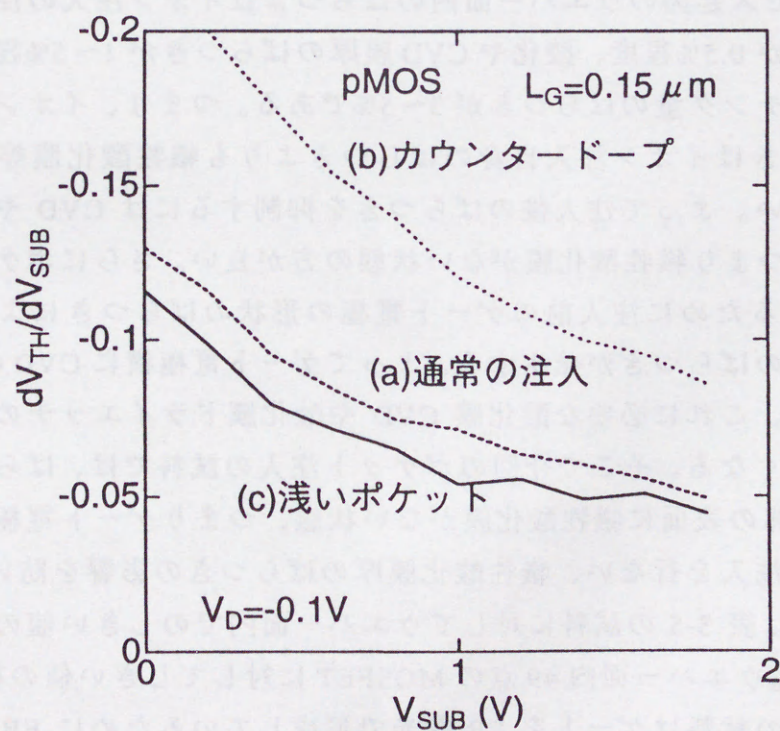
(a) pMOS

図3-23 しきい値のロールオフ





(a) nMOS



(a) pMOS

図3-24 基板効果



いポケットは同程度のしきい値ロールオフを示すが、両者の基板効果を比較すると試料(c)の方がしきい値の基板電圧依存性が小さい。これは図 3-22 に示すように(c)の方がチャネル部の不純物濃度が低く、ゲートからの空乏層の伸びが大きいためである。(c)の基板効果定数は(c)に比べて短チャネル効果の顕著な(a)と同等である。 $V_{SUB}=0V$ での  $dV_{TH}/dV_{SUB}$  で比較すると nMOS で(a)0.11 (b)0.19 (c)0.11、pMOS で(a)0.13 (b) 0.24 (c) 0.12 と(c)浅いポケット注入でしきい値変動は(b)カウンタードープの約半分、つまりクロストークレベルで 4~5dB 低減される。

浅いポケット注入は LDD の浅い部分のみにポケット注入を行っているために LDD 部の接合容量の増加は小さい。表 3-6 の nMOS の注入条件で LDD 部の接合容量をシミュレーションにより求めると、ゲート幅  $1\mu m$  あたりで(a)の通常の注入で 0.319fF、(c)の浅いポケット注入で 0.341fF であり、10%程度の増加に抑えられている。

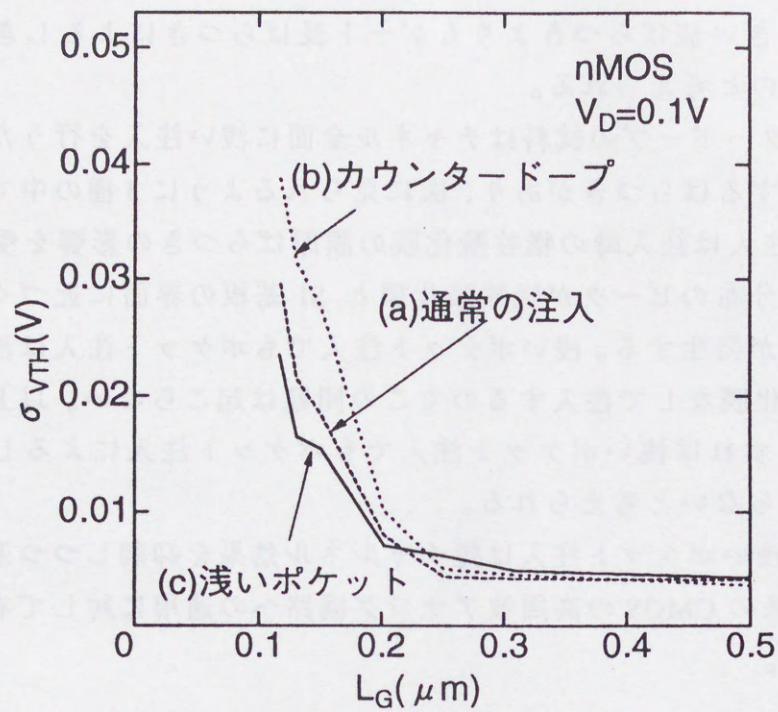
### 3-7-3. しきい値ばらつき

浅いポケット注入とカウンタードープは、どちらもチャネルの浅い部分にイオン注入を行うために、注入のばらつきによるしきい値のばらつきが大きくなるという問題がある。

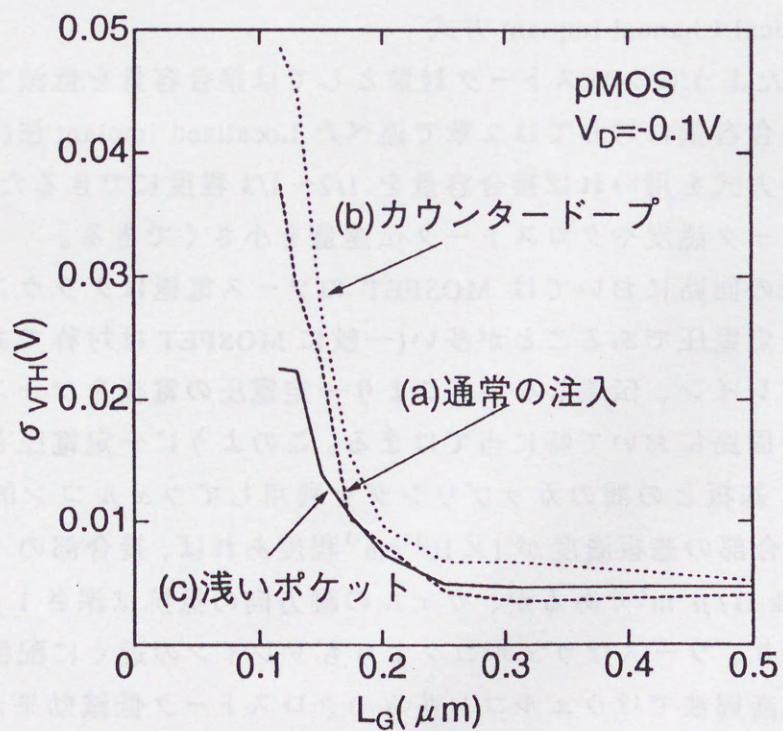
一般に、プロセス起因のウェハー面内のばらつきはイオン注入の注入量やエネルギーのばらつきが 0.5%程度、酸化や CVD 膜厚のばらつきが 1~5%程度、ドライエッチングのエッチング量のばらつきが 3~5%である。つまり、イオン注入後の不純物分布のばらつきはイオン注入自身のばらつきよりも犠牲酸化膜等のばらつきによるものが大きい。よって注入後のばらつきを抑制するには CVD やエッチングの工程を経ずに、つまり犠牲酸化膜がない状態の方が良い。さらにポケット注入では斜め注入を用いるために注入前のゲート電極の形状のばらつきによりイオン注入後の不純物分布のばらつきが発生する。よってゲート電極横に CVD のサイドウォールを形成すると、これに必要な酸化膜 CVD や酸化膜ドライエッチの工程によってばらつきが大きくなる。そこで今回のポケット注入の試料では、ばらつきを低減するために LDD 部の表面に犠牲酸化膜がない状態、つまりゲート電極のエッチング直後にポケット注入を行ない、犠牲酸化膜厚のばらつきの影響を防いでいる。

図 3-25(a),(b)は表 3-5 の試料に対してウェハー面内でのしきい値のばらつきを調べた結果である。ウェハー面内 49 点の MOSFET に対してしきい値の標準偏差  $\sigma_{V_{TH}}$  を求めた。今回の試料はゲートを EB 露光で形成しているために EB 露光に起因するゲート長のばらつきが存在すると考えられる。このため  $dV_{TH}/dL_G$  の大きい試料は面内でのばらつきが大きくなると考えられる。実際、図のように nMOS,pMOS 共にゲート長が  $0.1\mu m$  近辺では  $dV_{TH}/dL_G$  の小さい浅いポケット注入の試料の方が他の





(a) nMOS



(a) pMOS

図3-25 しきい値ばらつき



2種に比べてばらつきが小さく、ゲート長  $0.15\ \mu\text{m}$  での標準偏差は nMOS, pMOS 共に  $15\text{mV}$  以下に収まっている。このことから、1枚のウエハー上では斜めイオン注入に起因するしきい値ばらつきよりもゲート長ばらつきによるしきい値ばらつきの方が大きいものと考えられる。

また、カウンタードープの試料はチャネル全面に浅い注入を行うためにカウンタードープに起因するばらつきがあり、図に見られるように3種の中で最もばらつきが大きい。浅い注入は注入時の犠牲酸化膜の膜厚ばらつきの影響を受けやすいため、注入時の不純物分布のピークが犠牲酸化膜と Si 基板の界面に近づくほど大きなしきい値ばらつきが発生する。浅いポケット注入でもポケット注入は浅い領域に注入するが、犠牲酸化膜なしで注入するのでこの問題は起こらない。以上のように、プロセスを最適化すれば浅いポケット注入でもポケット注入によるしきい値のばらつきは問題とならないと考えられる。

このように、浅いポケット注入は短チャネル効果を抑制しつつ基板効果を低減できるので、将来の CMOS の高周波アナログ回路への適用に対して有効な方式であると考えられる。

### 3-8. Asymmetrical Channel Implant 方式のシールド効果

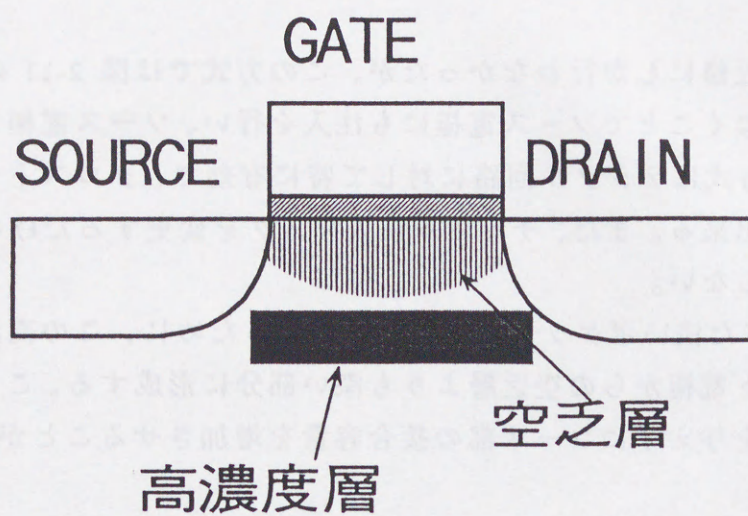
#### 3-8-1. Asymmetrical Channel Implant 方式

3-6 節で述べたようにクロストーク対策としては接合容量を低減することが有効である。この接合容量に対しては2章で述べた Localized implant 法(図 3-26(a))が有効である。この方式を用いれば接合容量を  $1/2 \sim 1/3$  程度にできるため、3-6 や 3-9 式よりクロストーク感度やクロストーク伝達量を小さくできる。

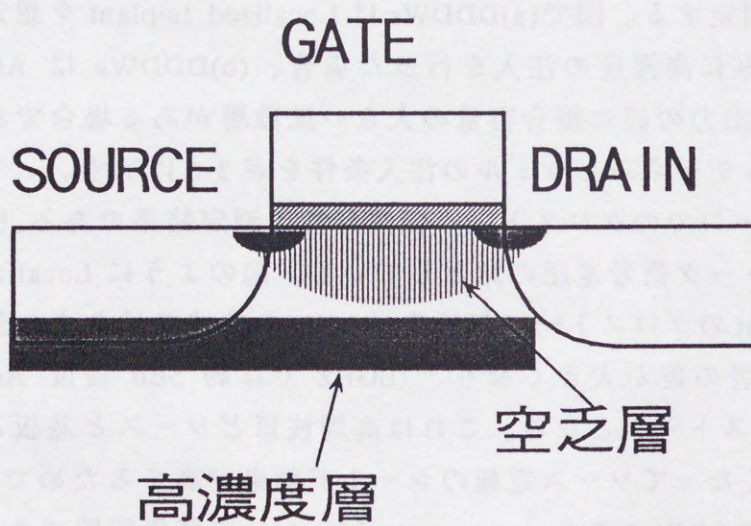
しかし、実際の回路においては MOSFET のソース電極はグラウンドまたは電源に接続されて一定電圧であることが多い(一般に MOSFET は対称であるが信号が伝達する電極をドレイン、伝達しない、つまり一定電圧の電極をソースと定義する)。これはデジタル回路において特に当てはまる。このように一定電圧となっている電極はこの電極と基板との間のカップリングを利用してウェルコン的に働かせることができる。接合部の基板濃度が  $1 \times 10^{18}\text{cm}^{-3}$  程度あれば、接合部のインダクタンスは  $10\text{GHz}$  で  $4.5\text{k}\ \Omega/\mu\text{m}^2$  であるが、ウェルの縦方向の抵抗は深さ  $1\ \mu\text{m}$  までで  $1 \sim 5\text{k}\ \Omega/\mu\text{m}^2$  であり、ソースはウェルコンよりもドレインの近くに配置されていることを考えると、高周波ではウェルコン並みのクロストーク低減効果が期待できる。

このようなソース電極によるシールド効果を高めるにはソース電極下の不純物濃度が高いことが望ましい。そこで、図 3-26(b)のような非対称チャネル注入 (Asymmetrical Channel Implant)方式を考案した。Localized Channel Implant ではチャネ





(a) Localized Channel Implant方式



(b) Asymmetrical Channel Implant方式

図3-26 Asymmetrical Channel Implant方式



ル注入はゲート電極近傍にしか行わなかったが、この方式では図 2-11 の(2)でソース部のマスクを取り除くことでソース電極にも注入を行い、ソース電極下の不純物濃度を高める。この方式はデジタル回路に対して特に有効で、クロストークの発生を小さくすることが出来る。また、チャンネル注入マスクを変更するだけなので、プロセスは従来と変わらない。

また、3-7 節で述べた浅いポケット注入と整合をとるために、この高濃度領域は図に示すようにゲート電極からの空乏層よりも深い部分に形成する。これにより、基板効果定数に影響を与えずにソース部の接合容量を増加させることが出来る。

### 3-8-2. Asymmetrical Channel Implant 方式の効果

Asymmetrical Channel Implant の効果を調べるために図 3-27 に示すようなレイアウトのパターンでクロストークを調べた。ゲート長  $0.25 \mu\text{m}$  の MOSFET の隣にクロストーク検出用の拡散層を配置し、MOSFET の片方の拡散層に信号を加えてそのときのクロストークを測定する。図で(a)DDDWs は Localized Implant を想定したパターンでチャンネル部のみに高濃度の注入を行った場合、(b)DDDWa は Asymmetrical Implant を想定して入出力の間に接合容量の大きい拡散層がある場合である。これらのパターンに対するチャンネルとウェルの注入条件を表 3-6 に示す。

図 3-28 はこのパターンでのクロストーク伝達特性の測定結果である。図で縦軸と入力と出力のクロストーク信号電圧の比としている。図のように Localized Implant と Asymmetrical Implant のクロストーク伝達量は MHz の領域ではあまり差がないが、高周波になるほど両者の差が大きくなり、10GHz では約 5dB 程度 Asymmetrical Implant の方が低クロストークとなる。これは高周波ほどソースと基板との間のインピーダンスが小さくなってソース電極のシールド効果が高まるためである。

図 3-29 はパターン DDDW つまり Asymmetrical Implant の等価回路である。図 3-12 のパターンの IN と OUT の間にグラウンドに接続された拡散層が配置されている。このパターンに対して 3-4 節と同様の手法でクロストークを計算した。用いたパラメータのうち、 $R_1, R_2, R_8, R_9$  はコンタクトチェーン、 $R_3, R_4, R_5, R_6, R_7$  は基板抵抗測定パターン、 $C_1, C_2, C_3$  は大面積接合容量パターンから測定した。計算に用いたパラメータを表 3-7 に示す。図のように実測値と計算値は良い一致が見られた。このことから、Asymmetrical Implant の効果についてもモデルを用いて DC や低周波のパラメータから精度良く求めることができると考えられる。

表 3-7 より DDDWa でのソース(シールド用拡散層パターン)の接合容量  $C_3$  は DDDWs の約 3.5 倍である。ソースの接合部はチャンネル表面から深さ約 200nm のところにあり、ゲートから伸びる空乏層は深さ約 100nm まで伸びる。今回の試料では空乏層の伸びに影響を与えないために DDDWa のチャンネル注入量をあまり大きくし



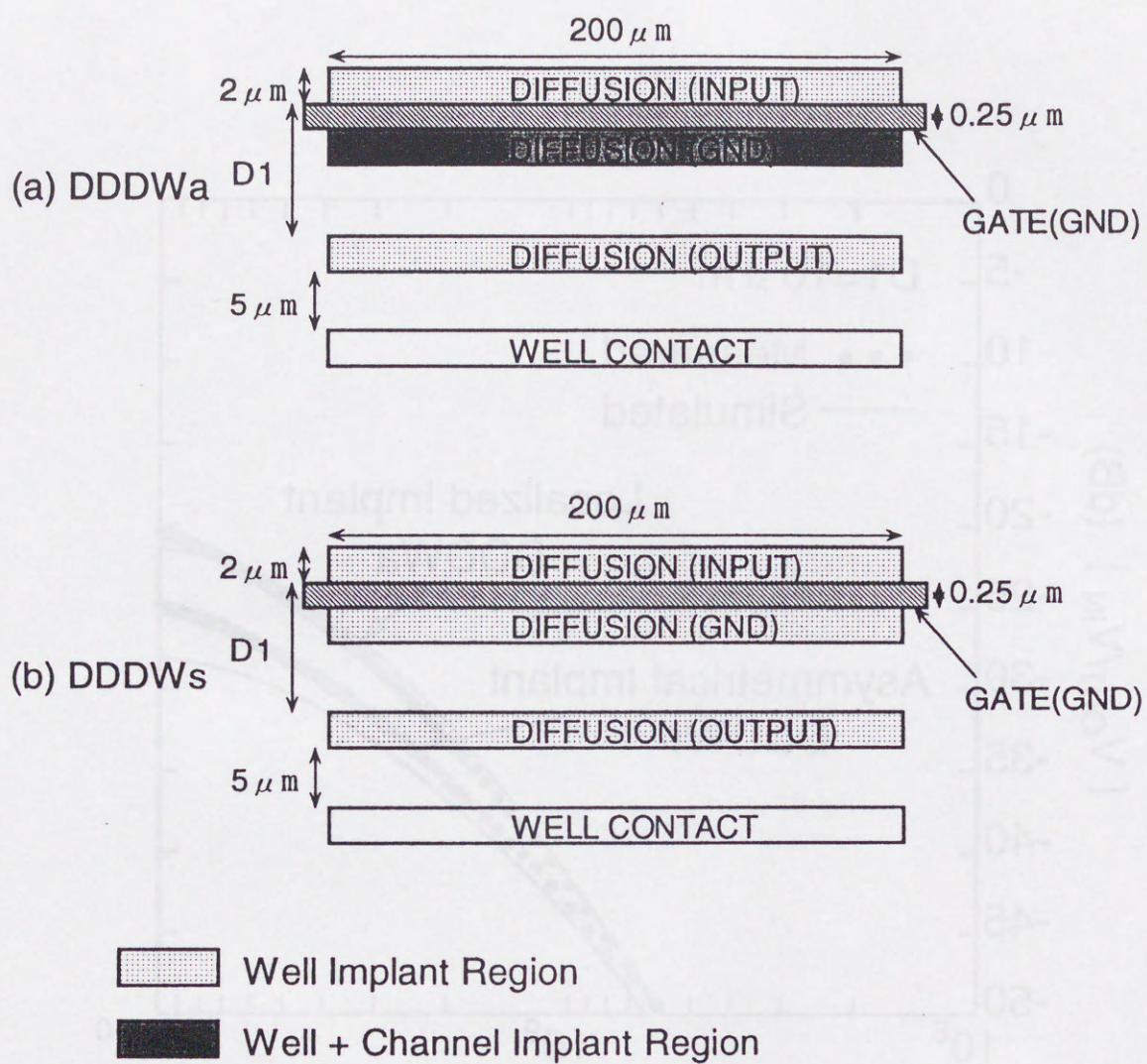


図3-27 クロストーク測定パターン



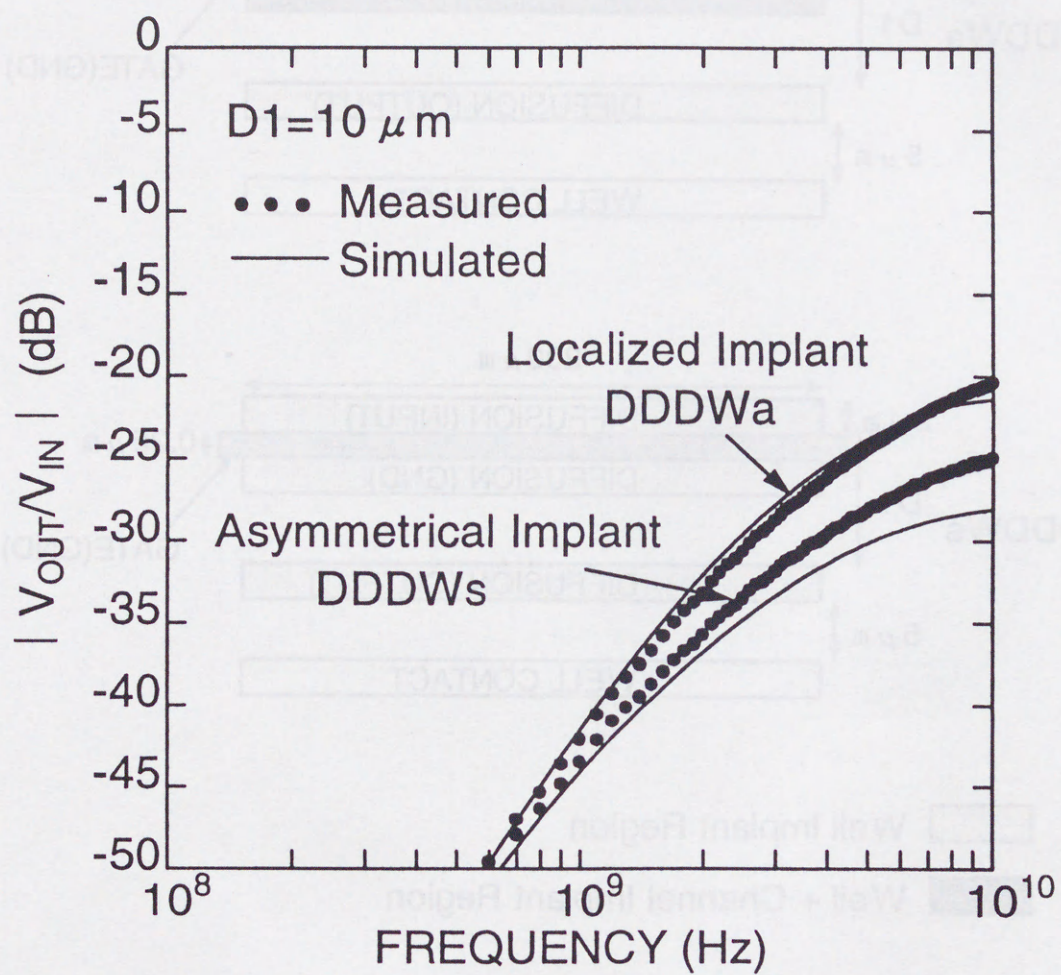


図3-28 Asymmetrical Implantの効果



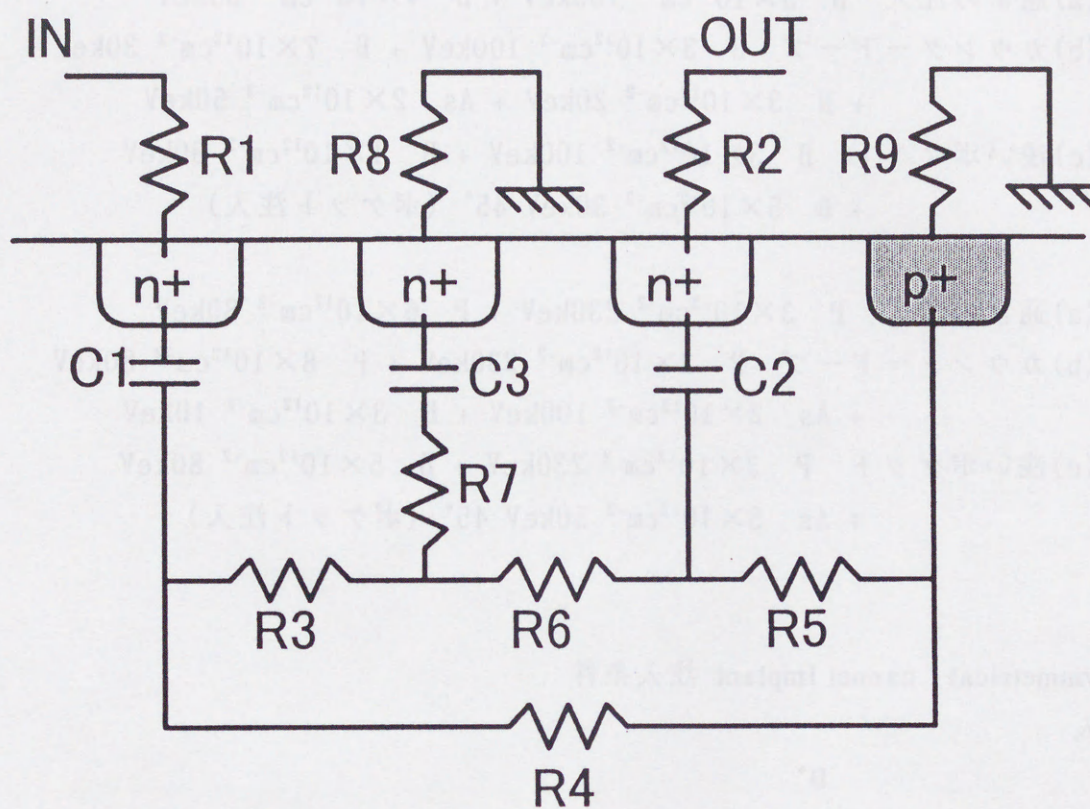


図3-29 Asymmetrical Implantの等価回路



表 3-5 チャンネル+ポケット注入条件

nMOS

- (a)通常の注入 B  $3 \times 10^{12} \text{cm}^{-2}$  100keV + B  $4 \times 10^{12} \text{cm}^{-2}$  30keV  
 (b)カウンタードープ B  $3 \times 10^{12} \text{cm}^{-2}$  100keV + B  $7 \times 10^{12} \text{cm}^{-2}$  30keV  
 + B  $3 \times 10^{12} \text{cm}^{-2}$  20keV + As  $2 \times 10^{12} \text{cm}^{-2}$  50keV  
 (c)浅いポケット B  $3 \times 10^{12} \text{cm}^{-2}$  100keV + B  $4 \times 10^{12} \text{cm}^{-2}$  30keV  
 + B  $5 \times 10^{12} \text{cm}^{-2}$  30keV 45° (ポケット注入)

pMOS

- (a)通常の注入 P  $3 \times 10^{12} \text{cm}^{-2}$  230keV + P  $6 \times 10^{12} \text{cm}^{-2}$  80keV  
 (b)カウンタードープ P  $3 \times 10^{12} \text{cm}^{-2}$  230keV + P  $8 \times 10^{12} \text{cm}^{-2}$  80keV  
 + As  $2 \times 10^{12} \text{cm}^{-2}$  100keV + B  $3 \times 10^{12} \text{cm}^{-2}$  10keV  
 (c)浅いポケット P  $3 \times 10^{12} \text{cm}^{-2}$  230keV + B  $5 \times 10^{12} \text{cm}^{-2}$  80keV  
 + As  $5 \times 10^{12} \text{cm}^{-2}$  50keV 45° (ポケット注入)

表 3-6 Asymmetrical Channel Implant 注入条件

ウェル注入

B<sup>+</sup> B<sup>+</sup>  
 $2.0 \times 10^{13} \text{cm}^{-2}$  300keV +  $4.0 \times 10^{12} \text{cm}^{-2}$  170keV

チャンネル注入

B<sup>+</sup> B<sup>+</sup>  
 $3.0 \times 10^{13} \text{cm}^{-2}$  90keV +  $3.0 \times 10^{12} \text{cm}^{-2}$  30keV

表 3-7 モデルに用いたパラメーター(Asymmetrical Implant)

容量

パターン	C <sub>1</sub> (pF)	C <sub>2</sub> (pF)	C <sub>3</sub> (pF)
DDDWs	0.338	0.338	0.338
DDDWa	0.338	0.338	1.21

抵抗

パターン	R <sub>1</sub> (Ω)	R <sub>2</sub> (Ω)	R <sub>3</sub> (Ω)	R <sub>4</sub> (Ω)	R <sub>5</sub> (Ω)	R <sub>6</sub> (Ω)	R <sub>7</sub> (Ω)	R <sub>8</sub> (Ω)	R <sub>9</sub> (Ω)
DDDWs	0.42	0.42	135	181	106	23.5	10.8	0.42	0.42
DDDWa	0.42	0.42	135	181	106	23.5	10.8	0.42	0.42



なかったが、ソースの接合部をより深い部分に設定すればソース底へのチャネル注入量を増やすことでシールド効果はより高めることが出来ると考えられる。

以上のように、Asymmetrical Channel Implant 方式を行うことで、プロセスを変更せずにクロストーク低減効果が得られることが分かった。この方式はクロストークが深刻となる高周波の領域ほど効果が大きいために、将来の高周波用 MOSFET の低クロストーク化に対して有効な手段であると考えられる。

### 3-9. 本章のまとめ

MOSFET の基板を介して伝わるクロストークについて解析を行った。その結果、各種のクロストークの中で、拡散層-拡散層間のクロストークと基板電位の変動によるしきい値の変化が実際の回路動作上問題となることが分かった。また、クロストークのモデルについて検討した結果、基板を伝わるクロストークは近距離の場合、簡単なモデルで精度良く予測できることが分かった。このモデルを用いると DC や低周波で測定したパラメーターで GHz 領域のクロストークを予測できる。

さらにこのクロストークが MOSFET に与える影響について考察し、クロストークに対する感度を表す解析式を求めた。この結果から MOSFET をクロストークに強くするには

- a) チャネル抵抗  $r_0$  を高くせずトランスコンダクタンス  $G_m$  を大きくするためにゲート電圧を高くするような設計を行う。
- b) 基板効果定数  $K$  を小さくするために浅いポケット注入のようなチャネル部の不純物濃度の低いデバイス設計を行う。
- c) 信号の伝わるドレイン電極の接合容量を小さく、信号の伝わらないソース電極の接合容量を大きくする Asymmetrical Channel Implant 法を行う。

ことが有効であることを明らかにした。

以上のまとめとして GHz 領域のアナログ回路向け MOSFET として図 3-26(b)に示すような浅いポケット注入と Asymmetrical Channel Implant を組み合わせた形を提案した。



### 補足 3-1 熱雑音とクロストークの違い

熱雑音はランダムな現象であり単純に熱雑音とクロストークの大きさを比較することはできない。熱雑音の平均値は 3-3 式で表わされるが、実際の熱雑音の大きさはボルツマン分布しているため、平均値よりもはるかに大きい雑音が発生する確率も 0 ではないため、信号の振幅を  $V_s$  と熱雑音の平均値を  $V_i$  とするとこのときのエラーの発生確率  $P_e$  は

$$P_e = \frac{1}{2} \operatorname{erf} \left( \frac{Q}{\sqrt{2}} \right)$$
$$\operatorname{erf}(x) = \frac{2}{\pi} \int_x^{\infty} \exp(-t^2) dt \quad (3-10)$$
$$Q = \frac{V_s}{2V_i}$$

で表わされる [3.21]。たとえば  $P_e$  を  $10^{-9}$  とするには上式より  $V_s/V_i > 12$  が必要となる。

これに対して、クロストークの大きさはクロストークの発生源によって決定される値となると考えられるので、最大値には限りがある。よって、クロストークの最大値を  $V_c$  とすると  $V_c \times 2$  の信号振幅があればクロストーク起因のエラー発生率は 0 と考えることができる。よって、クロストークがある場合のエラーの発生確率  $P_e$  は 3-10 式の  $Q$  を

$$Q = \frac{V_s - 2V_c}{2V_i} \quad (3-11)$$

とおきかえることで求めることができる。



### 補足 3-2 基板抵抗測定法

モデルを用いた計算において用いた抵抗値の測定は具体的には以下のように行った。まず図 3-3 のパターン(d)WWW で 3 つの端子 IN, OUT, GND の端子間の抵抗を測定し IN-OUT 間を  $R_{IN-OUT}$ 、OUT-GND 間を  $R_{OUT-GND}$ 、GND-IN 間を  $R_{GND-IN}$  とする。この時、測定する 2 端子以外は裏面コンタクトも含めて開放とする。そして、次式を用いて図 3-12 の  $R_3, R_4, R_5$  を計算する。

$$\begin{aligned} R_3 &= R_{34} \times \left( 1 + \frac{R_{53}}{R_{45}} + \frac{R_{53}}{R_{34}} \right) \\ R_4 &= R_{45} \times \left( 1 + \frac{R_{34}}{R_{45}} + \frac{R_{34}}{R_{53}} \right) \\ R_5 &= R_{53} \times \left( 1 + \frac{R_{45}}{R_{34}} + \frac{R_{45}}{R_{53}} \right) \end{aligned} \quad (3-12)$$
$$R_{34} = (R_{IN-OUT} + R_{OUT-GND} - R_{GND-IN}) / 2$$
$$R_{45} = (R_{OUT-GND} + R_{GND-IN} - R_{IN-OUT}) / 2$$
$$R_{53} = (R_{GND-IN} + R_{IN-OUT} - R_{OUT-GND}) / 2$$

以上のように今回の測定では専用の抵抗測定パターンを使用した。が、基板の深さ方向の抵抗分布もしくは不純物分布が SR 法や SIMS、C-V 法などを用いて測定できれば、任意のレイアウトに対する抵抗値を 3 次元シミュレータ等で計算できる。



### 補足 3-3 抵抗、容量の計算式

S パラメータよりの抵抗と容量の抽出は以下のように行う。まず S パラメータをインピーダンス行列 Z に変換する。すると 3-6 式より

$$\begin{aligned}
 \operatorname{Re} Z_{21} &= \frac{R_4 R_5}{R_W} \\
 \operatorname{Re} Z_{11} &= R_1 + \frac{R_4(R_3 + R_5)}{R_W} \\
 \operatorname{Re} Z_{22} &= R_2 + \frac{R_5(R_3 + R_4)}{R_W} \\
 \operatorname{Im} Z_{11} &= -\frac{1}{\omega C_1} \\
 \operatorname{Im} Z_{22} &= -\frac{1}{\omega C_2} \\
 R_W &= R_3 + R_4 + R_5
 \end{aligned} \tag{3-13}$$

となる。ここでコンタクト抵抗の  $R_1$  と  $R_2$  は小さいとして無視すると上の 5 式より 5 つのパラメータが次式により求まる。

$$\begin{aligned}
 C_1 &= -\frac{1}{\omega \operatorname{Im} Z_{11}} \\
 C_2 &= -\frac{1}{\omega \operatorname{Im} Z_{22}} \\
 R_3 &= R_{34} \times \left( 1 + \frac{R_{53}}{R_{45}} + \frac{R_{53}}{R_{34}} \right) \\
 R_4 &= R_{45} \times \left( 1 + \frac{R_{34}}{R_{45}} + \frac{R_{34}}{R_{53}} \right) \\
 R_5 &= R_{53} \times \left( 1 + \frac{R_{45}}{R_{34}} + \frac{R_{45}}{R_{53}} \right)
 \end{aligned} \tag{3-14}$$

ここで  $R_{34} = \operatorname{Re} Z_{11} - \operatorname{Re} Z_{21}$

$$R_{45} = \operatorname{Re} Z_{21}$$

$$R_{53} = \operatorname{Re} Z_{22} - \operatorname{Re} Z_{21}$$



## 参考文献

- [3.1] M.Kurisu, M.Kaneko, T.Suzaki, A.Tanabe, M.Togo, A.Furukawa, T.Tamura, K.Nakajima and K.Yashida, "2.8Gb/s 176mW Byte-Interleaved and 3.0Gb/s 118mW Bit-Interleaved 8:1 Multiplexers", ISSCC Dig. Tech. Papers, 122(1996).
- [3.2] A.Tanabe, M.Togo, M.Soda, H.Tezuka, T.Suzaki, A.Furukawa and K.Emura, "High Performance CMOS for GHz Communication IC", Symp. on VLSI Tech. Dig., 134(1996).
- [3.3] M.Soda, H.Tezuka, S.Shioiri, A.Tanabe, A.Furukawa and K.Emura, "A 2.4Gb/s CMOS Clock Recovering 1:8 Demultiplexer", Symp. on VLSI Circuits. Dig., 69(1997).
- [3.4] Masakazu Kurisu, Masato Nishikawa, Hiroshi Asazawa, Akira Tanabe, Mitsuho Togo and Akio Furukawa, "An 11.8-GHz 31mW CMOS Frequency Divider", Symp. on VLSI Circuits. Dig., 73(1997).
- [3.5] K.M.Fukuda, T.Kikuchi, T.Matsuura and M.Hotta, "Measurement of Digital Noise in Mixed-Signal Integrated Circuits", IEEE J. Solid-State Circuits Vol.30, No.2, 87(1995).
- [3.6] D.K.Su, M.J.Loinaz, S.Masui and B.A.Wooley, "Experimental Results and Modeling Techniques for Substrate Noise in Mixed Signal Integrated Circuits", IEEE J. Solid-State Circuits Vol.28, No.4, 420(1993).
- [3.7] K.Joarder, "A Simple Approach to Modeling Cross-Talk in Integrated Circuits", IEEE J. Solid-State Circuits Vol.29, No.10, 1212(1994).
- [3.8] A.Viviani et al, "Extended study of crosstalk in SOI-SIMOX substrates", IEDM Tech. Dig., 713(1995).
- [3.9] I.Rahmin, I.Lim, J.Foerstner and B.Y.Hwang, "Comparison of SOI versus bulk Silicon substrate crosstalk properties for mixed-mode IC's", Proceeding of IEEE Int. SOI Conference, 170(1992).
- [3.10] S.M.Sze, "Physics of Semiconductor Devices 2nd Edition", John Wiley & Sons, chap. 8.
- [3.11] B.Wang, R.Hellums and C.G.Sodini, "MOSFET Thermal Noise Modeling for Analog Integrated Circuits", IEEE J. Solid-State Circuits Vol.29, No.7, 833(1994).
- [3.12] N.Matsuno et. al., "An Accurate HJFET Capacitance-Voltage Model for Implementation with a Circuit Simulator", IEEE Trans. Electron Devices, Vol. 44, No. 1, 373(1996)
- [3.13] P.R.Gray and R.G.Meyer, "Analysis and Design of Analog Integrated Circuits Second Edition", John Wiley & Sons, Inc., 1984, Chapter 3
- [3.14] 菅野 卓雄, 飯塚 哲哉, "CMOS 超 LSI の設計", 培風館, (1989)
- [3.15] K.F.Lee, R.H.Yan, D.Y.Jeon, G.M.Chin, Y.O.Kim, D.M.Tennant, B.Razavi,



H.D.Lin, H.D.Lin, Y.G.Wey, E.H.Westerwick, M.D.Morris, R.W.Johnson, T.M.Liu, M.Tarsia, M.Cerullo, R.G.Swartz and A.Ourmarzd, "Room Temperature 0.1  $\mu$  m CMOS technology with 11.8ps Gate Delay", IEDM Tech. Dig., 131(1993).

[3.16] T. Hori et al., "A new half micron p-channel MOSFET with LATIPS (large angle implanted punchthrough stopper)", IEDM Tech. Dig., 394(1988).

[3.17] T. Hori, "A 0.1  $\mu$  m CMOS Technology with Tilt-Implanted Punchthrough Stopper (TIPS)", IEDM Tech. Dig., 75(1994).

[3.18] A.Hori, A.Hiroki, H.Nakaoka, M.Segawa and T.Hori, "Quarter-Micrometer SPI (Self-Aligned Pocket Implantation) MOSFET's and Its Application for Low Supply Voltage Operation", IEEE Trans. Electron Devices, Vol. 42, No.1, 78(1995).

[3.19] B.Yu, C.H.J.Wann, E.D.Nowak, K.Noda and C.Hu, "Short-Channel Effect Improved by Lateral Channel-Engineering in Deep-Submicronmeter MOSFET's", IEEE Trans. Electron Devices, Vol. 44, No. 4, 627(1997).

[3.20] Y.Okumura, M.Shirahata, A.Hachisuka, T.Okudaira, H.Arima and T.Matsukawa, "Source-to-Drain Nonuniformly Doped Channel (NUDC) MOSFET Structures for High Current Drivability and Threshold Voltage Controllability", IEEE Trans. Electron Devices, Vol. 39, No. 11, 2541(1992).

[3.21] 米津 宏雄, "光通信素子工学", 工学図書, 1984



## 第4章 GHz動作CMOS DEMUX

### 4-1. はじめに

近年の MOSFET の微細化により、バルクの MOSFET ではゲート長  $0.1\ \mu\text{m}$  近辺のものまでが試作されるようになっており、ファンアウト 1 で 20ps 程度のインバータ遅延時間が得られている [4.1-3]。このような微細 CMOS を使用すれば GHz 帯の光通信 IC も実現できるものと考えられる。また、バルク CMOS より動作速度に勝る SOI(SIMOX)を用いた CMOS では 3Gb/s 動作の 4:1 MUX, 1:4 DEMUX が報告されている [4.4]。このことからバルクの CMOS でもデバイス・回路的工夫によって GHz の動作を実現できると考えられる。

本章ではバルク CMOS の GHz 動作への適用可能性を実証するためにゲート長  $0.15\ \mu\text{m}$  の微細 CMOS を用いて光通信用の 1:8 DEMUX を試作した結果について述べる。本章ではさらに、このデバイスの特性および、このような MOSFET の高周波 IC に適したスケーリング法について述べる。

### 4-2. CMOS のスケーリング

2章で述べたように MOSFET を微細化する場合、ゲートに比べて、コンタクトや素子分離、配線などは微細化が難しいために、これらの部分の微細化はゲート長に比べて緩やかである。よって微細化に伴って、トランジスタまわりの寄生抵抗、寄生容量の動作速度への影響が大きくなってくる。ここで図 4-1 に示す 3 種の設計ルールを想定して寄生成分の寄与を検討する。設計ルール (a) は全体を  $0.35\ \mu\text{m}$  のルールで設計した場合、(b) は (a) からゲート長のみを  $0.15\ \mu\text{m}$  に縮小したルール、(c) は全体を  $0.15\ \mu\text{m}$  にしたルールである。これらのルールに対して SPICE シミュレーションにより、2章と同様の手法で各部の抵抗・容量が遅延時間に及ぼす影響を調べた。

図 4-2 は全体の遅延時間に対する容量の影響を示したものである [4.5]。棒の長さは全遅延時間で、それに対する各寄生容量の割合を全遅延時間に対する比として表わしている。2章で述べたようにソース・ドレイン部の接合容量  $C_j$  はゲート容量と同程度に大きくバルクの MOSFET においては無視できないものである。この影響は特にゲートに比べてソース・ドレイン部の広いルール (b) で顕著である。図 4-2 の点線で示した遅延時間が Localized Channel Implant [4.5] を使用した場合のもので  $C_j$  は約半分となる。この時の遅延時間はルール (b) と (c) ではほぼ同程度となるので小規模な回路ならば動作速度の点からはルール (b) はルール (c) に近い性能となると予想される。また、コンタクトや分離は  $0.35\ \mu\text{m}$  ルールのままなので、ルール (c) に比べて



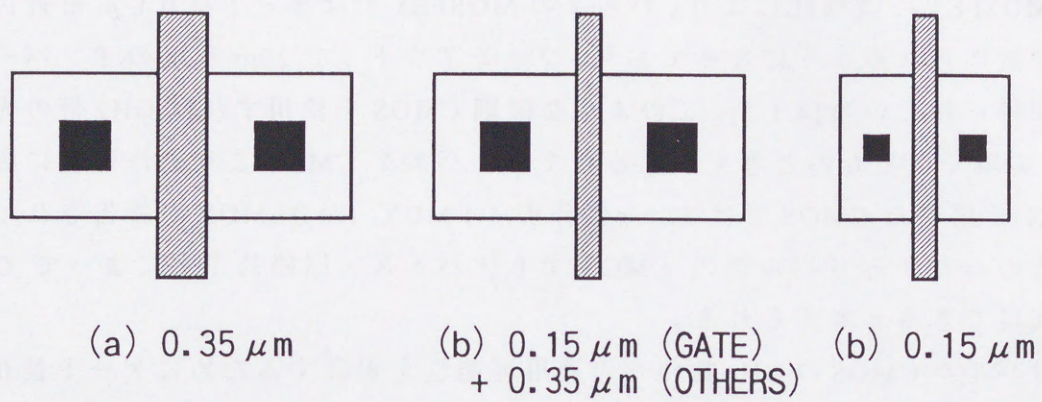


図4-1 各種設計ルール



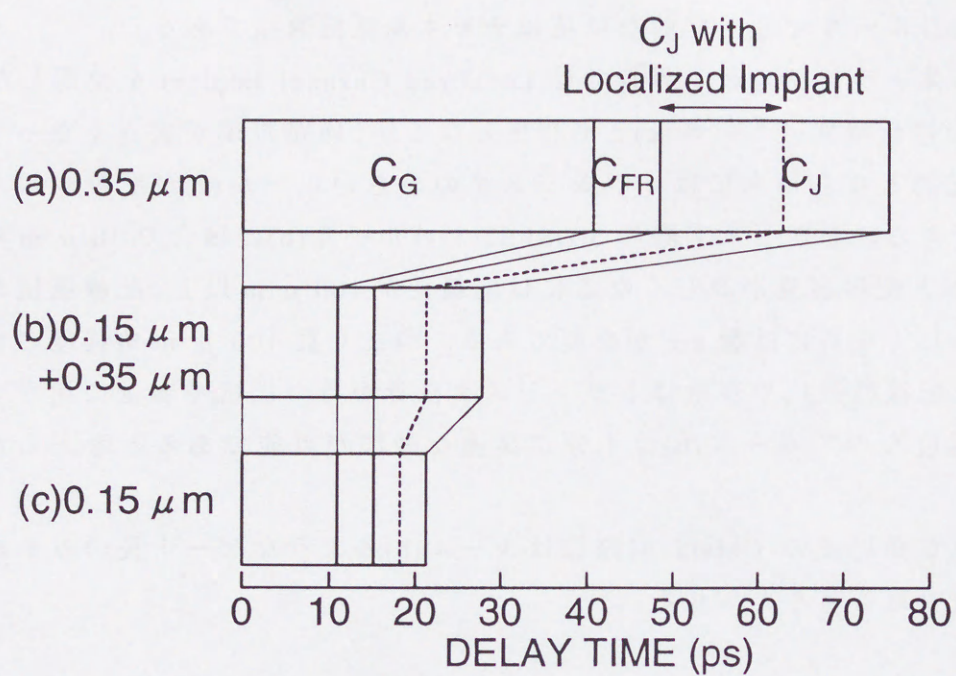


図4-2 遅延時間に対する寄生容量の影響

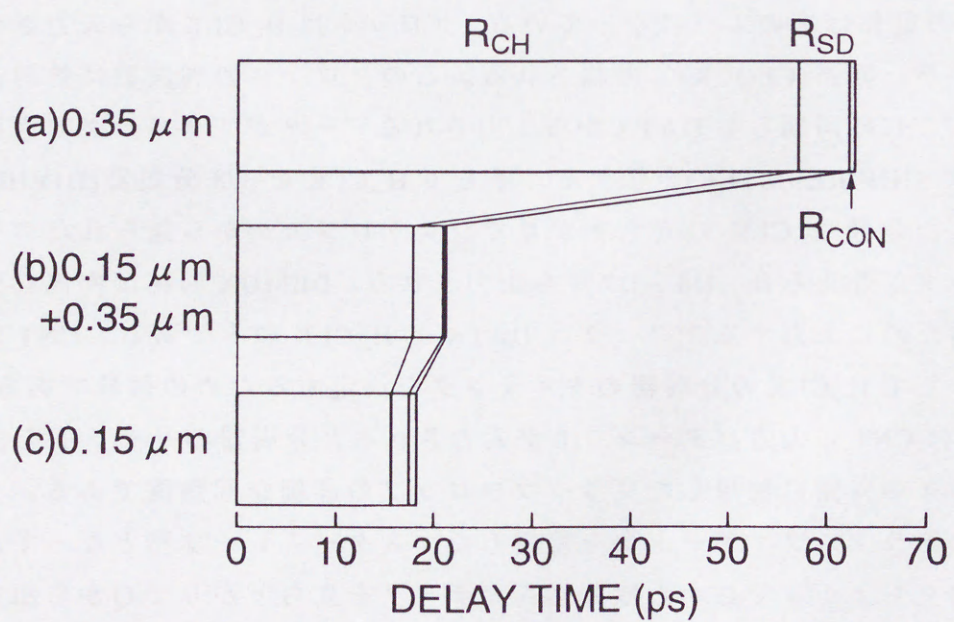


図4-3 遅延時間に対する寄生抵抗の影響



容易に試作できる。図 4-3 は遅延時間に対する抵抗の影響を示したものである。図のように、どの設計ルールでも支配的な抵抗はチャネル抵抗  $R_{CH}$  である。

以上のように単体トランジスタレベルでは Localized Channel Implant を使用した場合のルール(b)の遅延時間はルール(c)と同程度となるが、回路規模が大きくなって配線の遅延が支配的となる場合にはトランジスタの小さいルール(c)が配線が短くなる分だけ有利である。しかし、実際の MOSFET ではルール(b)の場合で  $10\ \mu\text{m}$  のトランジスタの  $C_j$  と配線容量が等しくなるには配線長が  $100\ \mu\text{m}$  以上、配線抵抗がチャネル抵抗と等しくなるには数 cm が必要である。つまり数  $100\ \mu\text{m}$  角程度の大きさの回路ならば配線の抵抗や容量はトランジスタ自身が持つ抵抗や容量に比べて小さいか又は同程度なのでルール(b)は十分に高速な動作が可能であると考えられる。

このように小規模な高周波の CMOS 回路にはルール(b)のようなゲート長のみを縮小する方式が有効であると考えられる。

#### 4-3. DEMUX 回路

図 4-4 に試作した DEMUX 回路の回路図を示す。1 クロックで 1 ビットを処理する構成となっている。この回路はシフトレジスタ型を用いている。

DEMUX 回路の動作は次のようになっている。クロックは  $H\_CLK$  から入力され、クロックドライバ回路(CLOCK)で増幅される。このクロックの周波数は処理速度に等しくなる。これに同期して DATA から入力されるデータが 1 クロックおきにシフトレジスタ部(SHIF RESISTER)を伝わる。そして  $H\_CLK$  を 1/8 分周器(DIVIDER)によって分周した信号  $L\_CLK$  の立ち上がりでシフトレジスタから送られたデータがラッチにデータが貯えられ、 $D0\sim D7$  から出力される。DEMUX 回路は内部に分周器を持っているために入力するクロックは DATA と  $H\_CLK$  のみである。CNT は分周器をリセットして  $H\_CLK$  の分周器のタイミングを決定するための信号である。この回路(RESET)は CNT に入力パターン 010 が入力されると分周器のリセットを行う。

図 4-5 は図 4-4 の回路に使用したフリップフロップの詳細な回路図である。フリップフロップはトランスファゲート型を使用したマスタスレーブ型となっており、入力クロックの立ち上がりで D から取り込んだデータを立ち下がりで Q から出力する。シフトレジスタ部には高速な(a)のリセット無しの回路を使用し、1/8 分周器の部分のみにリセット付きの回路を使用した。回路全体としては図(a)のリセット無しのシフトレジスタがクリティカルパスとなっており、1 クロックあたりでインバータが 6 段ある。このことからこの回路が 2.4GHz で動作するには最低でもファンアウト  $\tau=2$  で 69ps の遅延時間が必要となるが、この回路に使用した MOSFET はこの条件



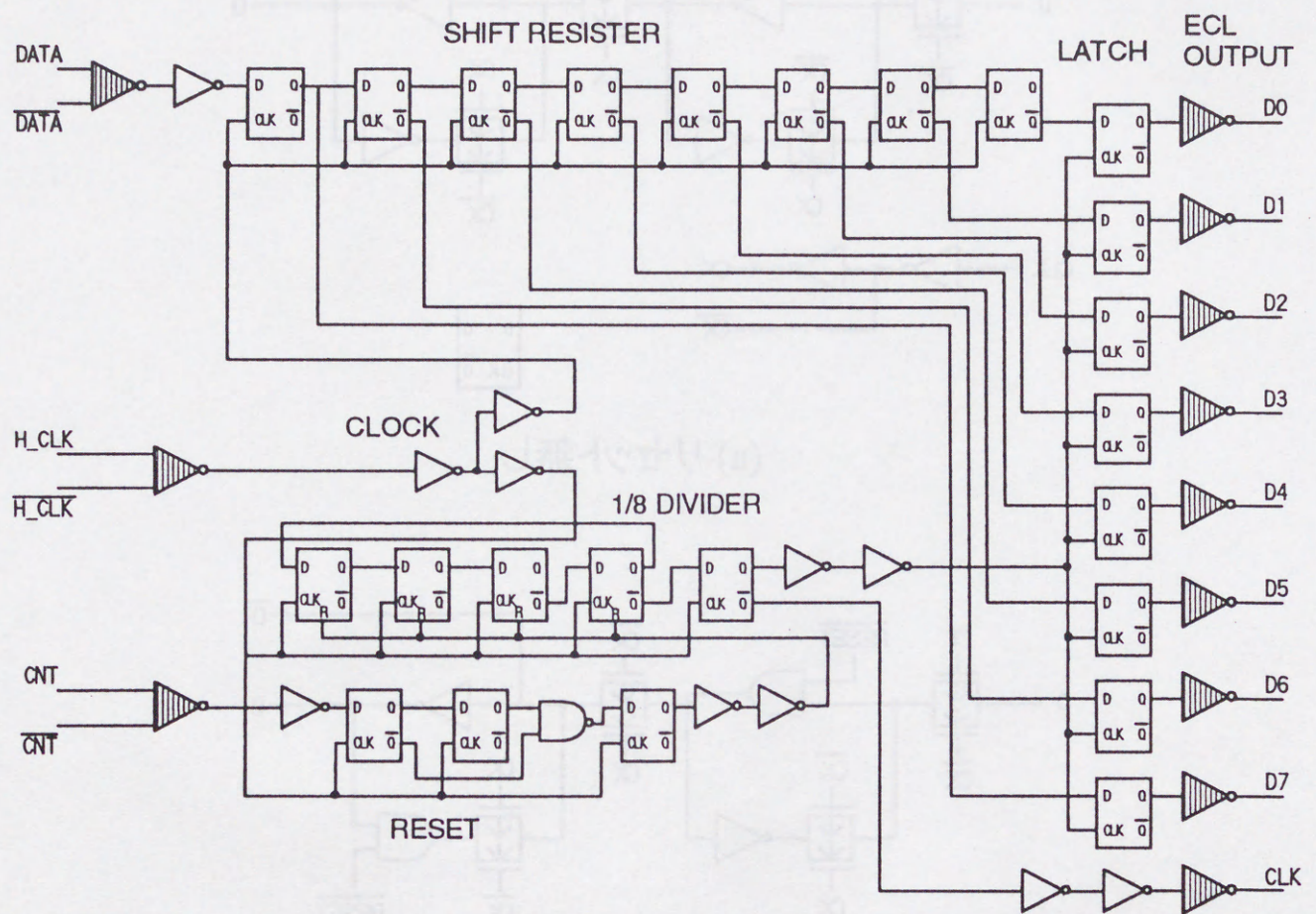
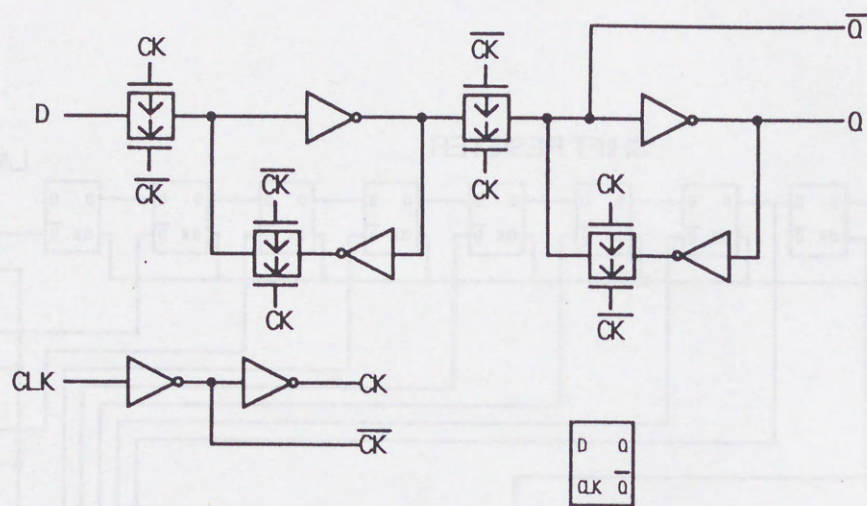
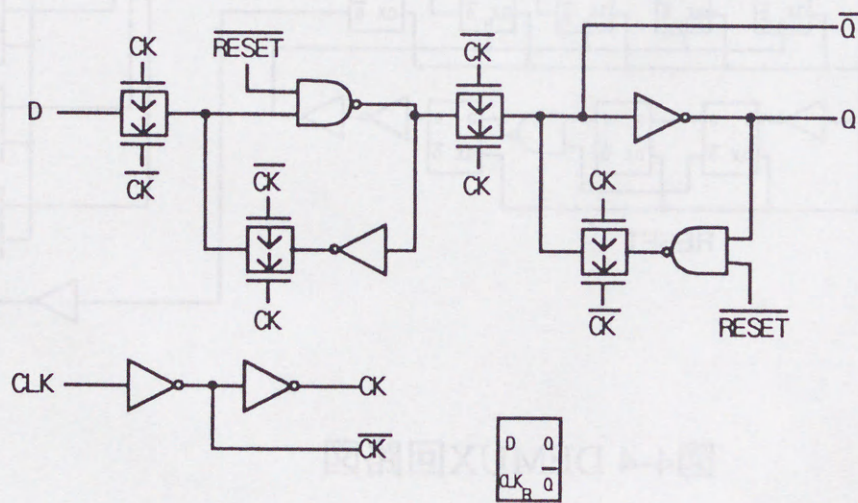


図4-4 DEMUX回路図





(a) リセット無し



(b) リセット付き

図4-5 フリップフロップ回路図



を満たしている。

この回路はチップ内部は通常の CMOS ロジックであるが、入出力部のみは他の高速 IC との整合性をとるために図 4-6 に示すような ECL インターフェース回路を用いている。図で入力差動入力、出力はシングルエンドとなっている。出力をシングルエンドとしているのは出力バッファでの消費電力を低減するためである。さらにインピーダンス整合のために入力部には W ポリサイドで  $50\ \Omega$  の終端抵抗を形成している。このインターフェース回路は入力のインピーダンス整合用以外には抵抗素子を用いていない。本回路の試作には 2 章で述べたように RTA プロセスを用いているが、このプロセスでは熱処理温度のばらつきが通常の拡散炉よりも大きくなる。W ポリサイドのシート抵抗は熱処理温度によって大きく変動するため、この抵抗値のばらつきがトランジスタのオン抵抗のばらつきよりも大きくなる。そこで、このばらつきの影響を抑えるために抵抗素子の使用を制限している。また、これによって pMOS と nMOS のオン電流のバランスが取れていれば電源電圧に依存せずに回路を動作させることができるという利点がある。

#### 4-4. デバイス特性

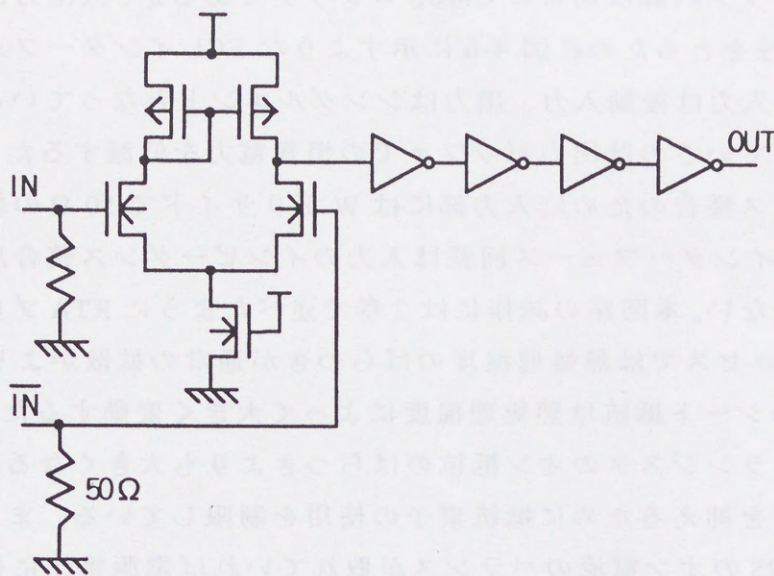
図 4-7 は試作した DEMUX 回路のチップ写真である。チップサイズは  $850 \times 850\ \mu\text{m}^2$  である。試作プロセスは設計ルール  $0.35\ \mu\text{m}$ 、ゲート長  $0.15\ \mu\text{m}$  の CMOS プロセス(ゲート酸化膜厚  $4\text{nm}$ )で、ツインウェル、2 層メタルのプロセスを使用している。また、2 章で述べた Localized Implant 方式を使用している。

図 4-8 は DEMUX 回路の動作波形である。上の波形は分周器で入力のクロックを  $1/8$  に分周した出力クロック、下の波形はそれに同期した出力データである。この回路の最大動作周波数は電源電圧  $2\text{V}$  で約  $2.8\text{GHz}$  で、このときの ECL 出力部を除く消費電力は  $220\text{mW}$  である。この回路は  $1.0\text{V}$  の電源電圧でも動作し、その場合は  $2.6\text{GHz}$  で消費電力  $37\text{mW}$  であった。この値は同じ機能を持つ従来の Si Bipolar の DEMUX の約  $1/7$  であり、SIMOX CMOS で作られた  $1:4$  DEMUX よりも小さい値となっている。

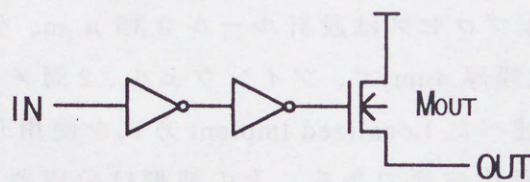
図 4-9 は DEMUX の電源電圧と最高動作周波数および消費電力の関係である。この回路は最低で電源電圧  $0.9\text{V}$  で動作した。最高動作周波数は  $1\text{V}$  以上では電圧を高くしてもあまり変化がないが、これは  $1/8$  分周器の出力クロックのタイミングのずれによる誤動作により、あまり動作周波数が上がらなかったものと考えられる。

図 4-10 は DEMUX の動作周波数と ECL 出力部を除く消費電力の関係である。図は電源電圧  $2\text{V}$  と  $1\text{V}$  での値である。CMOS 動作をしているため消費電力は動作周波数の 1 次関数となっている。この傾きは  $12.5\text{mW/GHz}(@1\text{V})$ ,  $62\text{mW/GHz}(@2\text{V})$  と従来





(a) ECL input



(b) ECL output

図4-6 ECL入出力部回路図



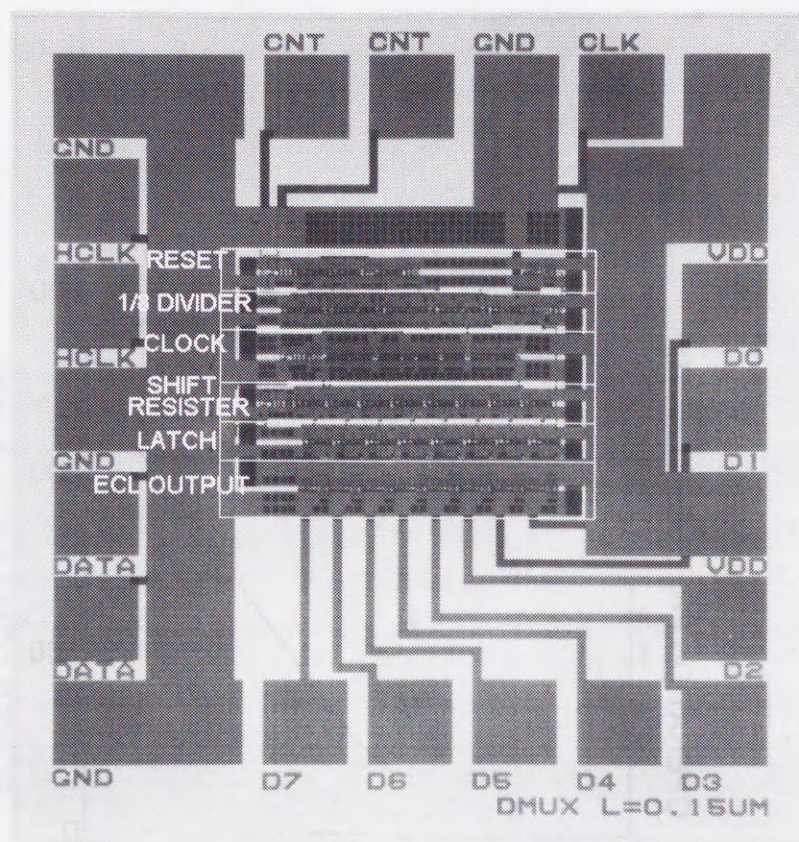


図4-7 DEMUXチップ写真

CSA803 COMMUNICATIONS SIGNAL ANALYZER  
date: 31-AUG-95 time: 17:00:42

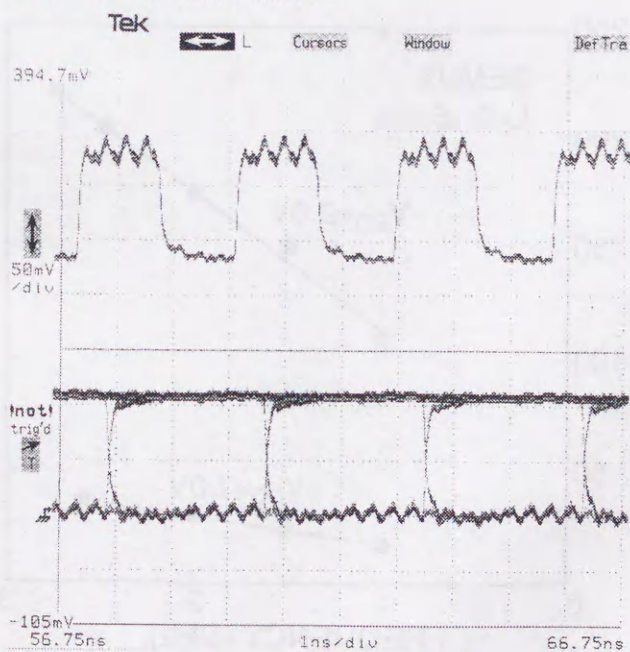


図4-8 DEMUX動作波形



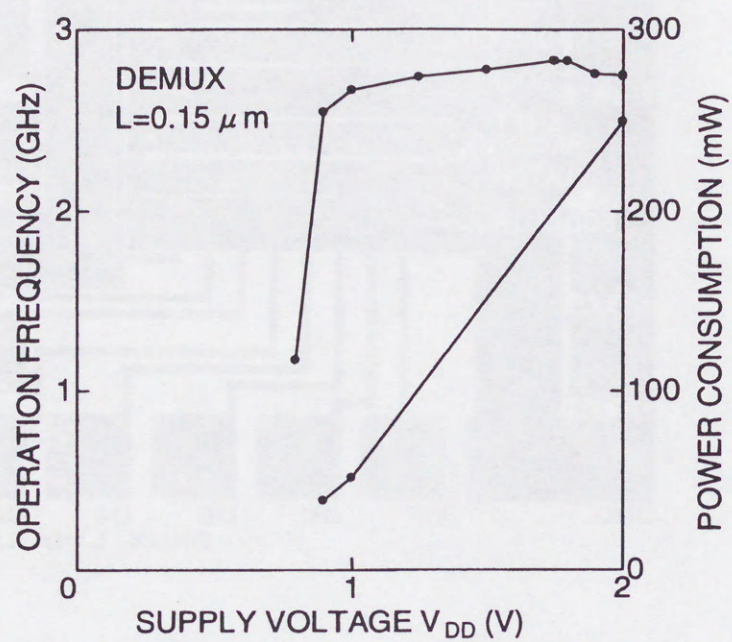


図4-9 DEMUX最高動作周波数

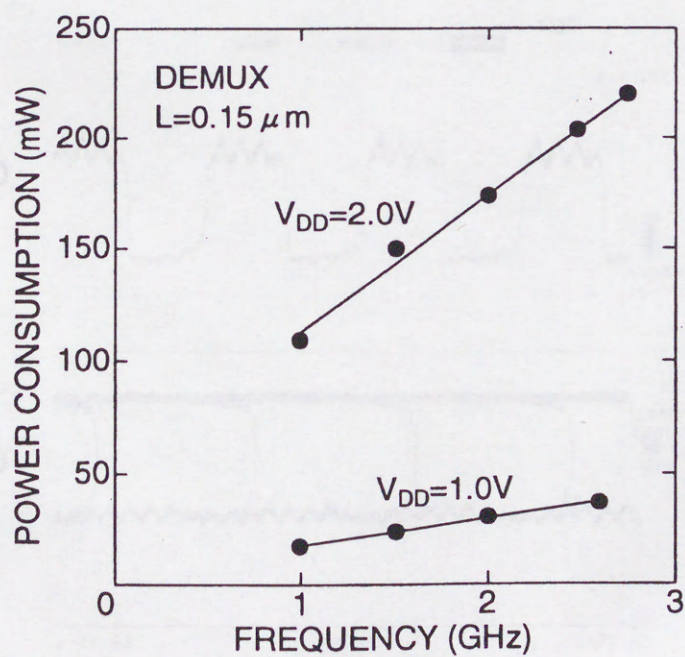


図4-10 DEMUX消費電力



に比べて非常に低消費電力となっている。この低消費電力は 2V という低電圧で動作させたことと消費電力の大きな部分を占める接合容量  $C_j$  による消費電力を Localized Channel Implant により低減したことによる。

図でどちらも動作周波数が 0 でも消費電力は 0 とならないが、これは入力部の ECL-CMOS インターフェース部は貫通電流が流れているためである。以上の消費電力の値は ECL 出力部での電力を除いた値であったが、ECL 出力バッファの最終段の MOSFET つまり図 4-6(b) に示す  $M_{OUT}$  は常に負荷を駆動するための電流を流しているために非常に大きな電力を消費している。この電力は電源電圧 2V では 1 出力あたり約 20mW に達する。このため特に出力信号の数の多い DEMUX では(クロック 1 ビット+データ 8 ビット)全消費電力に占める出力用電力の割合が大きい。しかし前述のように CMOS DEMUX では後段の信号処理回路と一体化することができるので、その場合は ECL 出力回路が不要となり大幅に消費電力を低減できる可能性がある。

図 4-11 は今回の CMOS DEMUX の電力-遅延積を他の Si バイポーラや GaAs の 1:8 MUX, DEMUX チップと比較したものである。この図では ECL 出力部の消費電力も考慮している。また横軸は動作速度としている。今回の CMOS DEMUX は一般的な回路構成をとっているにもかかわらず他の素子と比較してもっとも小さい電力-遅延積を達成している。

#### 4-5. 本章のまとめ

0.15  $\mu$  m のバルク CMOS プロセスを用いて光通信用の 1:8 DEMUX を試作し、電源電圧 2V で 2.8Gb/s 220mW、1V で 2.6Gb/s 37mW のバルク CMOS での最高速低消費電力動作が得られた。この値は従来の Si Bipolar や GaAs MESFET, GaAs HBT で作られた MUX や DEMUX と比較しても数分の 1 の非常に小さい値となっている。

また、CMOS トランジスタの微細化における寄生抵抗や寄生成分の動作速度に及ぼす影響について検討した結果、ゲート長のみをスケールリングするような設計ルールが高周波で動作する IC には有効であることが示された。このようにバルクの CMOS で初めて GHz の高周波動作の DEMUX が実現でき、Si Bipolar や GaAs に比べてはるかに低消費電力とできたことで、低電力、低コストの GHz 動作の CMOS 光通信用 IC の可能性が示された。



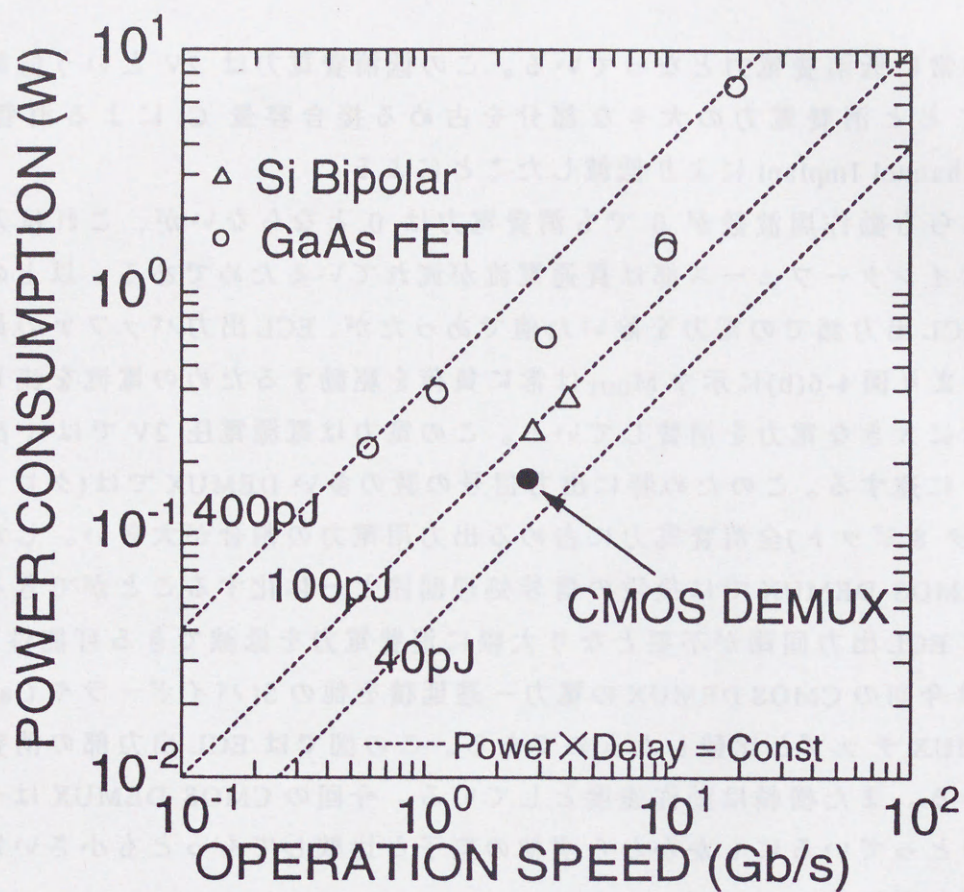


図4-11 消費電力の比較



参考文献

- [4.1] K.Takeushi, T.Yamamoto, A.Tanabe, T.Matsuki, T.Kunio, M.Fukuma, K.Nakajima, N.Aizaki, H.Miyamoto and E.Ikawa, "0.15  $\mu$  m CMOS with High Reliability and Performance", IEDM Tech. Dig., 883(1993).
- [4.2] K.Takeuchi, T.Yamamoto, A.Furukawa, T.Tamura and K.Yoshida, "High Performance Sub-Tenth Micron CMOS Using Advanced Boron Doping and WSi<sub>2</sub> Dual Gate Process", Symp. on VLSI Tech. Dig., 9(1995)
- [4.3] Mizuki Ono et al., "Sub-50nm Gate Length n-MOSFETs with 10nm Phosphorus Source and Drain Junctions", IEDM Tech. Dig., 119(1993).
- [4.4] S.Yasuda, Y.Ohtomo, M.Ino, Y.Kado and T.Tsuchiya, "3-Gb/s CMOS 1:4 MUX and DMUX ICs" IEICE Vol. E78-C No.12, 1746(1995).
- [4.5] A.Tanabe, K.Takeuchi, T.Yamamoto, T.Matsuki, T.Kunio, M.Fukuma, K.Nakajima, N.Aizaki, H.Miyamoto and E.Ikawa, "0.15  $\mu$  m CMOS Devices with Reduced Junction Capacitance", IEICE Trans. on Electronics, Vol. E78-C, No.3, 267(1995).



## 第5章 2.4Gb/s 光受信器の CMOS による 1 チップ化

### 5-1. はじめに

前章で述べたように近年の MOSFET の微細化によって 2.8Gb/s の性能の CMOS デマルチプレクサー (DEMUX) を試作した [5.1, 2]。しかし、これは光通信 IC の一部品であるため、光通信器のシステムを構成するためには複数のチップを組み合わせる必要があった。光受信器の 1 チップ化において問題となると考えられることは 3 章で述べたデジタル回路とアナログ回路の間の基板を介したクロストークとトランジスタの特性ばらつきである。本章では MOSFET での低クロストークの GHz アナログ IC 設計手法と、それより作られた光受信器用プリアンプ回路について述べる。さらに、3 章の浅いポケット注入方式と Asymmetrical Channel Implant 方式を用いたプリアンプを含む 1 チップの CMOS 光受信器について述べる。

### 5-2. プリアンプ回路

#### 5-2-1. 光受信器回路の動作

図 5-1 は試作した光受信器のブロック図である。光受信器では入力部にフォトダイオードを用いて入力する光信号の強度に応じた電流信号を発生させる。この時の電流の振幅は実際の光受信器では  $10 \sim 100 \mu\text{A}$  程度である。プリアンプはこの微少な信号を増幅して電圧信号に変換する。AGC はプリアンプからの信号のオフセット成分や振幅のばらつきを検出して補正する。

光受信器に入力される光信号はデジタル信号の 1 と 0 を光の有無に置き換えたものであり、それから得られる電圧信号は図 5-2(a) のような NRZ (non return to zero) 信号である。この信号から 1 と 0 を読み出すためには入力信号に同期したクロック信号が必要であり、これは PLL で作られる。PLL 回路は周波数可変の発振器を持っており、入力データの周期性を検出してこの周期と自身の発振周期を一致させ、さらに両者の位相を一致させる。1:8 DEMUX は PLL で抽出されたクロック信号に同期して、AGC から入力する 1 ビットのシリアルデータを 8 ビットの平行データに変換する。

#### 5-2-2. 種々のプリアンプ

前述のようにプリアンプ回路はフォトダイオードで発生した微小電流信号を増幅して電圧信号に変換する回路である。この回路に要求される特性は [5.3]

i) 低雑音

ii) 低い入力インピーダンス



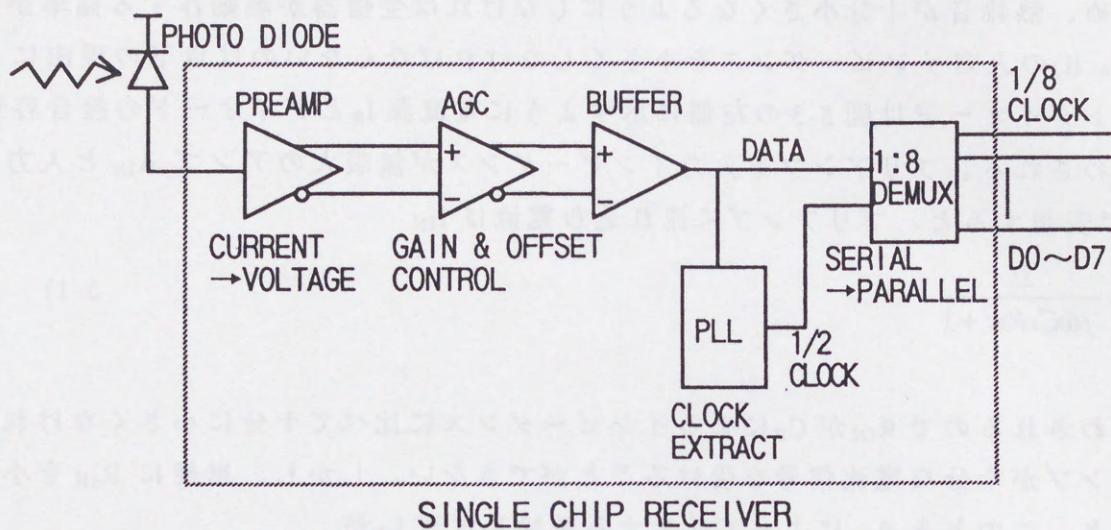


図5-1 光受信器ブロック図

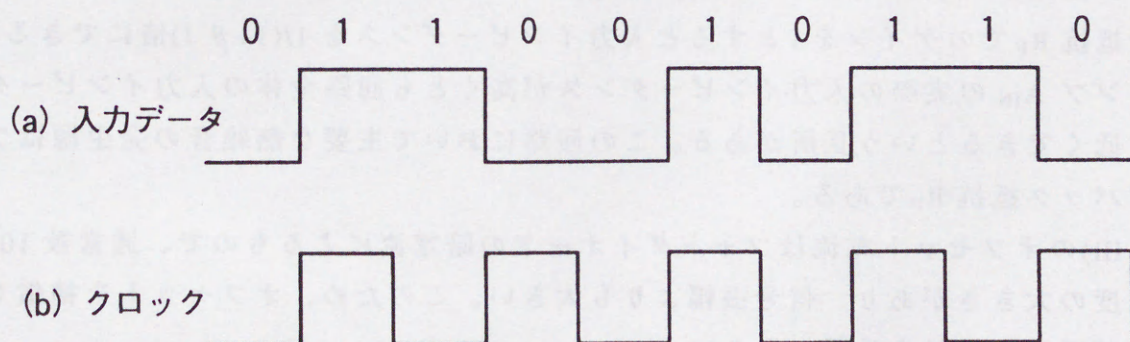


図5-2 PLL回路の働き



### iii) フォトダイオードからのオフセット電流の補償

である。従来の GaAs MESFET などのプリアンプ内部で発生する雑音は主にプリアンプ回路内の抵抗が発する熱雑音である。フォトダイオードからの入力信号は微弱なため、熱雑音が十分小さくなるようにしなければ受信器が誤動作する確率が高くなる。ii)の入力インピーダンスを小さくしなければならないのは以下の理由による。フォトダイオードは図 5-3 の左側に示すように電流源  $I_s$  とダイオードの接合容量  $C_p$  で表わされる。プリアンプを入力インピーダンスが無限大のアンプ  $A_{IN}$  と入力抵抗  $R_{IN}$  で表現すると、プリアンプに流れ込む電流は  $I_{IN}$

$$I_{IN} = \frac{I_s}{j\omega C_p R_{IN} + 1} \quad (5-1)$$

で表わされるので  $R_{IN}$  が  $C_p$  によるインピーダンスに比べて十分に小さくしなければプリアンプが十分な電流信号を受けることができない。しかし、単純に  $R_{IN}$  を小さくすると、このとき  $R_{IN}$  によって発生する熱雑音電流  $I_N$  が

$$\overline{I_N} = \sqrt{\frac{4kT\Delta f}{R_{IN}}} \quad (5-2)$$

と表わされるので大きな熱雑音が発生する。プリアンプの回路形式には歴史的には種々の方式が提案されてきたが、熱雑音を抑制しつつ入力インピーダンスを下げるという要求を満たす方式として、現在では図 5-4 のような電流帰還型のフィードバック回路が一般的に用いられる [5.3,4]。この回路ではアンプ  $A_{IN}$  のゲインを  $\beta$ 、帰還抵抗  $R_F$  でのゲインを  $f$  とすると入力インピーダンスを  $1/(1+\beta f)$  倍にできるので、アンプ  $A_{IN}$  の実際の入力インピーダンスが高くとも回路全体の入力インピーダンスを低くできるという長所がある。この回路において主要な熱雑音の発生源はフィードバック抵抗  $R_F$  である。

iii)のオフセット電流はフォトダイオードの暗電流によるもので、通常数  $100 \mu A$  程度の大きさがあり、信号振幅よりも大きい。このため、オフセットを補償しなければ正常に信号を受信できない。

### 5-2-3 プリアンプ回路

プリアンプを含めて光受信器を 1 チップ化すると、デジタル回路の PLL や DEMUX と混載されるために基板クロストークを受ける。プリアンプの入力端子での電圧振幅は数 mV とプリアンプを構成する回路の中ではもっとも小さい。よって、1 チップの光受信器にとって基板クロストーク対策は非常に重要である。

Si バイポーラのプリアンプでは一般的に図 5-5(a) のような回路が用いられている



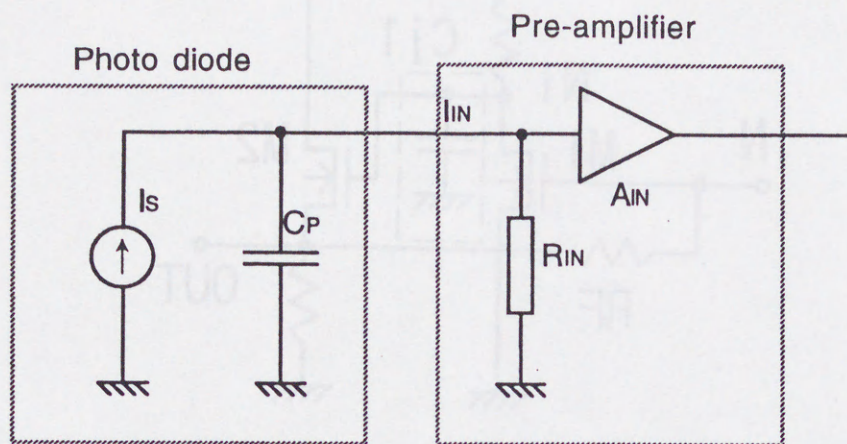


図5-3 入力部の等価回路

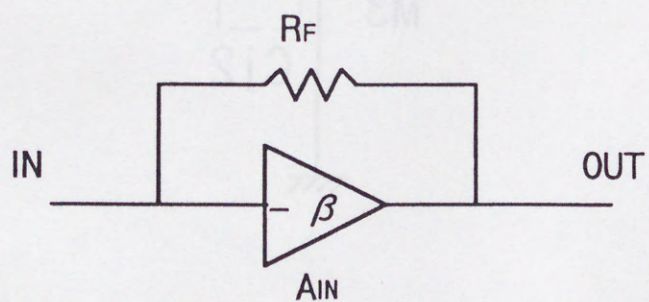
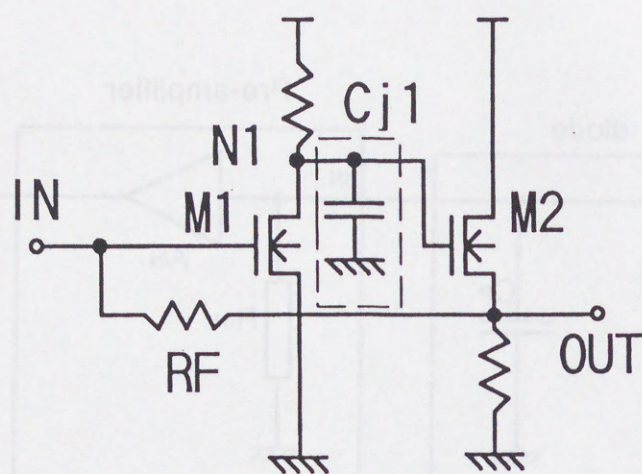
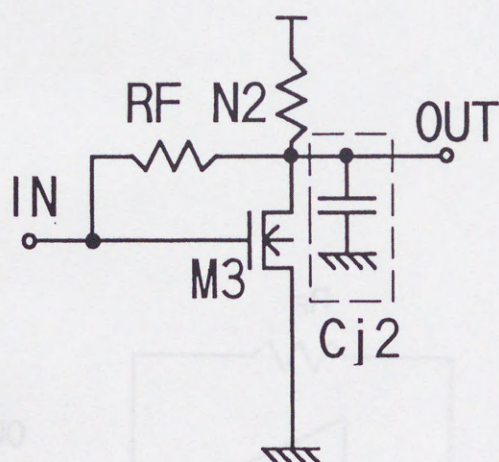


図5-4 電流帰還回路





(a) 従来回路



(b) 本回路

図5-5 プリアンプ回路



[5.3,5-7]。図で入力段のトランジスタの出力ノード N1 に入力インピーダンスの高いソースフォロワーの MOSFET M2 が接続されている。プリアンプのゲインは単純には入力の MOSFET の  $G_m$  と入力の MOSFET の出力ノードのインピーダンスの積に比例するので、図の N1 のノードにつながるインピーダンスを高くしてゲインを高めることができる[5.8]。しかし、これを MOSFET に置き換えた場合、

(i) 3 章で述べたように出力インピーダンスを高めることは基板クロストークの面から好ましくない。

(ii) M2 によってしきい値電圧分ゲート電圧が低くなるが、3 章で述べたように MOSFET はゲート-ソース間電圧があまり低いと弱反転領域で使用する事になり  $G_m$  が下がる。

(iii) 微細な MOSFET ではしきい値電圧などの特性ばらつきが大きくなるので、M1 と M2 の両方の特性ばらつきの影響が出力に現れる。

という問題がある。(ii) は特に低電圧で使用する場合に深刻な問題となる。そこで今回のプリアンプではドレインとゲートを抵抗で直結する図 5-5(b) のような構成とした。この場合ドレインに低抵抗の素子が接続されるので出力インピーダンスはあまり高くない。しかし、ゲート電圧を高くできるので  $G_m$  を MOSFET の性能一杯まで高めた状態で使用できる。つまり高  $G_m$ 、低  $R_L$  の構成となる。この回路では出力インピーダンスが低い分だけ前述の様にゲインが下がるが、 $G_m$  を高めることによってそれを相殺することができるため、全体としてのゲインは従来の回路(a)と変わらない。

次に(iii)について考える。図 5-6 は図 5-5 の 2 種の回路をモデルで表わしたものである。ここで図 5-5 の 3 つの MOSFET M1, M2, M3 がそれぞれ  $\beta_1, \beta_2, \beta_3$  の増幅率を、 $\Delta V_1, \Delta V_2, \Delta V_3$  の出力電圧のばらつきをもつと仮定する。また、両回路のフィードバック量はどちらも  $f$  とする。入力 IN に信号が入っていない時に出力に現れるばらつきが原因の出力電圧  $\Delta V_{OUT}$  は従来回路(a)が

$$\Delta V_{OUT} = \frac{\beta_2 \Delta V_1 + \Delta V_2}{1 + \beta_1 \beta_2 f} \quad (5-3)$$

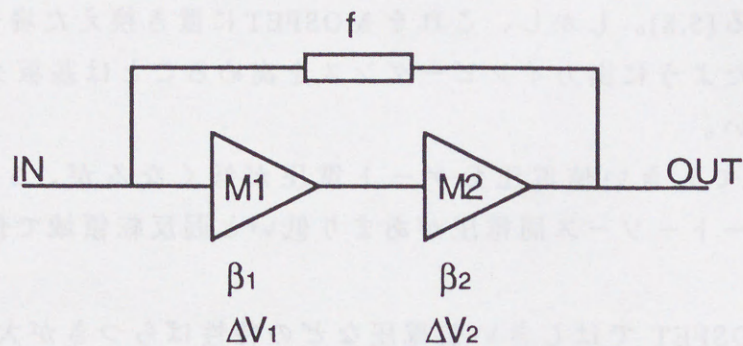
本回路(b)で

$$\Delta V_{OUT} = \frac{\Delta V_3}{1 + \beta_3 f} \quad (5-4)$$

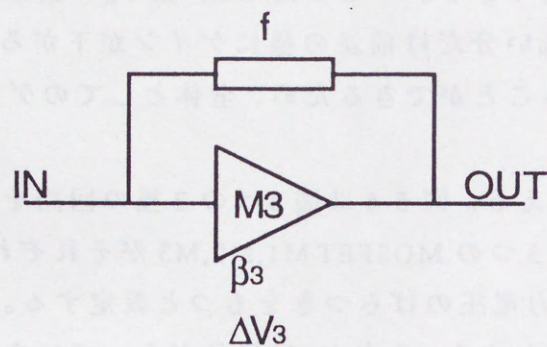
ここで、ソースフォロワーの M2 のゲインを 1 とし、 $\beta_1 = \beta_3, \Delta V_1 = \Delta V_3$  ならば  $\Delta V_2$  の分だけ回路(b)の方が出力に現れるばらつきが小さくなる。回路(a)と(b)が同等のゲインを持つならば、プリアンプ中の MOSFET 数が少ない分だけ回路(b)の方が素子の特性ばらつきに強くなることが分かる。

基板クロストーク対策としては一般的に差動増幅器が有効である[5.8,9]。差動増





(a) 従来回路



(b) 本回路

図5-6 プリアンプ回路のモデル



幅器では正負のアンプ回路に同じクロストークが加わった場合、両者が同じ特性を持っていれば出力にも同じクロストークが現れるので、両者の出力の差分を取ることによってクロストークを打ち消すことができる。しかし、熱雑音に関してはランダムな現象であるので正負のアンプ回路に異なる雑音が発生する。よって差動増幅器でプリアンプ回路を構成した場合、フィードバック抵抗が正負の両方のゲートにあるためにシングルエンドのアンプの $\sqrt{2}$ 倍(雑音の平均値)の熱雑音が発生する。さらに、素子数が約2倍のため消費電力も約2倍に増加するという問題がある。このために従来のGaAsやSiバイポーラのプリアンプ回路においては主に熱雑音を問題としていたために差動増幅器はほとんど用いられなかった。しかし前述のようにバルクのMOSFETでは熱雑音よりも基板クロストークの方が深刻な問題であるために差動構成は必須であると考えられる。

#### 5-2-4 クロストークのシミュレーション

図5-7はSPICEシミュレーションにより求めた、2種のアンプでの基板クロストークとゲインの比を比較したものである。シミュレーションではアンプを構成する全てのMOSFETに対して基板の電圧が同じように変動するものと仮定している。

シミュレーションは以下の様に行った。まず、アンプの入力端を開放した状態で基板に振幅 $V_w$ の信号を加え、そのときの出力の振幅を $V_N$ とする。次に基板の電圧を一定とした状態でアンプの入力端に振幅 $V_I$ の信号を加えこの時の出力の振幅を $V_S$ とすると、アンプの電圧増幅率 $G_S = V_N/V_w$ 、クロストーク増幅率 $G_C = V_S/V_I$ であるから、クロストーク感度 $F_C$ は

$$F_C = \frac{G_C}{G_S} = \frac{V_N V_I}{V_w V_S} \quad (5-5)$$

となる。図5-7の縦軸はクロストーク感度 $F_C$ 、横軸は入力信号の周波数である。

図5-7では図5-5の回路そのままシングルエンドで使った場合と差動構成にして使った場合についての値を示してある。差動構成の場合、正負のMOSFETに±25mVのしきい値電圧のばらつきを仮定した。シミュレーションでは正負のアンプに同じ大きさのクロストークが加わると仮定しているなので、両者が全く同じ特性ならば出力に現れるクロストーク電圧は0である。つまり両者に与えたしきい値電圧のばらつきに対応したクロストークが出力に現れる。

図のように、従来の回路に比較して、本方式の回路は特に周波数の高い領域で差動・シングルエンド共に低クロストークとなることが分かる。差動構成ではシングルエンドに比較して両方式共に20dB程度クロストークが小さいが、差動の時のほうが本方式のアンプと従来のアンプでの基板クロストークの差が大きくなっており、本方式の方が差動構成の効果は大きい。これは前節で説明したように従来回路に比



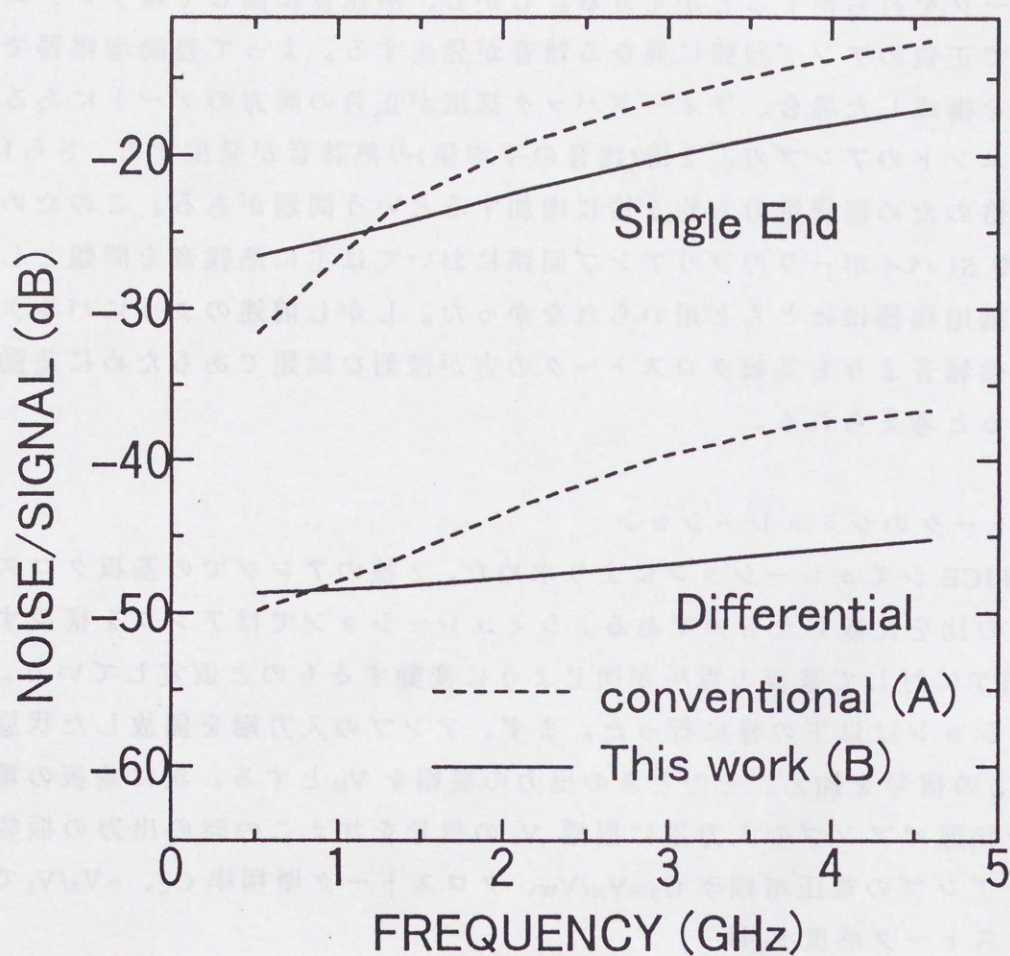


図5-7 クロストークの比較



べて本回路では回路を構成する MOSFET の数を少なくしているため、素子のばらつきによる特性ばらつきが小さくなるため、これにより本方式はさらにクロストークに強くなる。

#### 5-2-5 クロストークの測定

図 5-8 は実際の回路において測定した基板クロストークの値である。図で実線は本方式のプリアンプ、点線は従来のプリアンプである。測定には図 5-9 に示すような測定パターンを使用した。同一基板上にクロストーク源としてリングオシレータ、クロストーク検出器としてプリアンプを配置し、プリアンプの出力からクロストークを測定している。図でリングオシレータは 11 段で電源電圧 2V、発振周波数は約 1.6GHz である。またプリアンプとリングオシレータの距離は約 30  $\mu\text{m}$  である。クロストーク電力  $P_c$  はプリアンプの出力をスペクトラムアナライザーで測定して求めた。また、ネットワークアナライザーでプリアンプのトランスインピーダンスゲイン  $Z_T$  (この測定方法については後で述べる) を測定して、以下の式を用いて入力換算のクロストーク電流  $I_{IN}$  を計算した。この  $I_{IN}$  が図 5-8 の縦軸である。

$$I_{IN} = \frac{\sqrt{P_{OUT} \times R_{OUT}}}{Z_T} \quad (5-5)$$

ここで図 5-10 に示すようなクロストーク電流源を仮定している。クロストーク源のインピーダンス  $R_{IN}$  とは無限大、プリアンプの出力につながる負荷抵抗  $R_{OUT}$  は 50  $\Omega$  としている。実際にプリアンプの入力端は開放で、出力端には特性インピーダンス 50  $\Omega$  の高周波プローバーを接続して測定を行っているため、この仮定は現実に近い。

図のようにリングオシレーターが発する基板クロストークはリングオシレーターの発振周波数とその高調波のところに鋭いピークを持つ輝線スペクトルとなっている。実際の光通信用 IC でもクロストーク源のデジタル部分は PLL からのクロックに同期して動作するためにこのような輝線スペクトルが発生すると考えられる。このプリアンプの帯域は 5GHz 程度である。各ピークの大きさを比較すると、いずれのピークでも本方式の方が 5dB 程度低クロストークとなっていることがわかる。この差は主に入力部の MOSFET の  $G_m$  の差、つまり図 5-5 の M1 と M3 の  $G_m$  の差と考えられる。

図 5-8 の縦軸は 3Mz の範囲のクロストーク電流の積分値であるが、全周波数にわたってこの電流を積分すると入力換算の全クロストーク電流が求まる。この全クロストーク電流は各周波数の波のピークが同じタイミングとなったときのクロストーク電流である。つまり、これ以上大きなクロストークは発生しないと考えられるクロストークの最悪値となる。このクロストーク電流振幅の最悪値は従来回路で



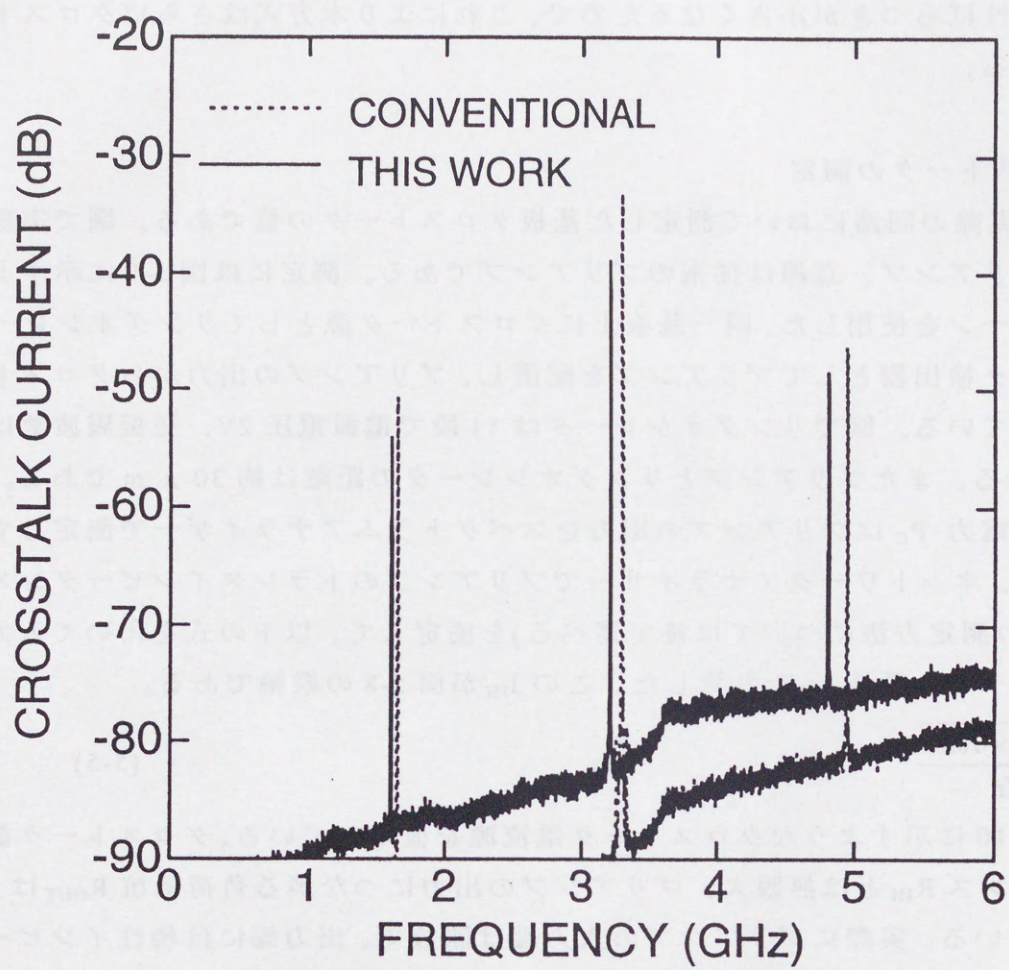


図5-8 クロストークの比較(実測)



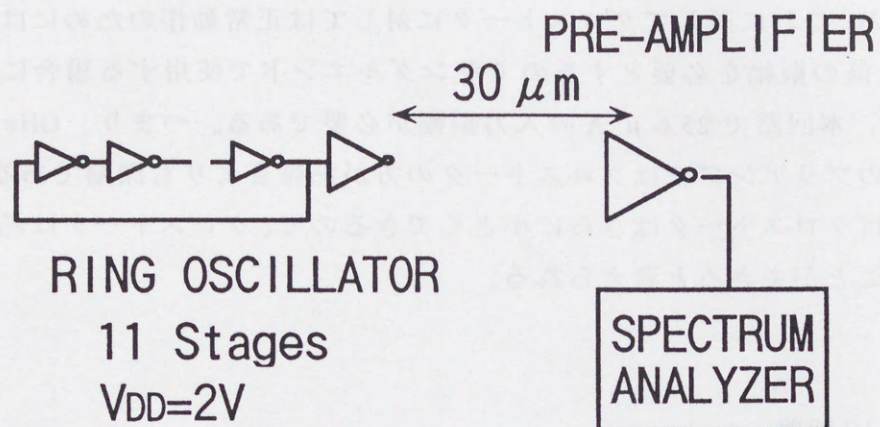


図5-9 クロストーク測定パターン

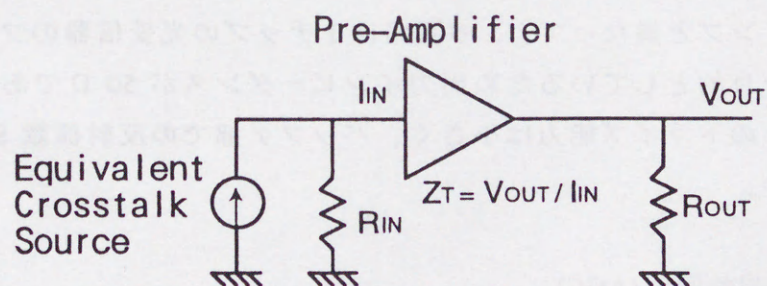


図5-10 等価的クロストーク源



23.3  $\mu$  A、本回路で 12.8  $\mu$  A であり、本回路は従来回路の約半分となり、クロストーク感度が小さいことを示している。

また、この電流振幅を熱雑音と比較すると、本回路(b)において熱雑音に対して  $10^{-9}$  の誤り率を達成するために必要な入力振幅は SPICE シミュレーションより 5.79  $\mu$  A である。これに対してクロストークに対しては正常動作のためにはクロストーク振幅の 2 倍の振幅を必要とするのでシングルエンドで使用する場合には従来回路で 46.6  $\mu$  A、本回路で 25.6  $\mu$  A の入力振幅が必要である。つまり、GHz 領域でシングルエンドのプリアンプではクロストークの方が熱雑音よりも深刻である。ただし、差動構成ならばクロストークはさらに小さくできるので、クロストークは熱雑音よりも小さくすることができると考えられる。

### 5-3. 光通信用 IC 回路

#### 5-3-1 実際のプリアンプ回路

以上の考察から、試作した 1 チップ光受信器では図 5-5(b)の回路を差動構成にして使用した。実際に使用した回路を図 5-11 に示す。図でフィードバック抵抗は MOSFET で構成しリファレンス電圧  $V_R$  によってフィードバック量を変動させることができる。また、2 段目には帯域補償回路を付加して広帯域化した。これは MOSFET のチャネル抵抗とゲート容量でピーキングを行うことで実現している。出力バッファとして 3 段目にソースフォロワー回路を付加しているが、従来の Si バイポーラや GaAs での単体で動作するプリアンプと異なって、この回路は 1 チップの光受信器のフロントエンドに接続することを目的としているため出力インピーダンスが 50  $\Omega$  である必要はない。このためバッファのドライブ能力は小さく、バッファ部での反射係数  $S_{22}$  もあまり考慮する必要はない。

#### 5-3-2 自動ゲイン調整回路(AGC)

自動ゲイン調整回路(AGC)は図 5-12 のようにフォトダイオードから流れ込む DC 電流やプリアンプ回路でのトランジスタ間のしきい値ばらつきによって発生するオフセットやフォトダイオードからの信号振幅の変動を吸収して一定振幅でオフセット 0 の信号を作り PLL に送るための回路である。この回路では同時にプリアンプからの信号を PLL 回路が読み取れる程度(数 100mV)の振幅まで増幅する働きをする。

図 5-13 にプリアンプ・AGC 回路のブロック図を示す。この回路の働きは以下の通りである。プリアンプからの信号は可変ゲインアンプを含む 4 段のアンプで増幅した後で PLL と最大値・最小値検出回路(ピークディテクタ MAX, MIN)に入力される。ピークディテクタでは正負それぞれの出力に対して最大値、最小値を検出する。正



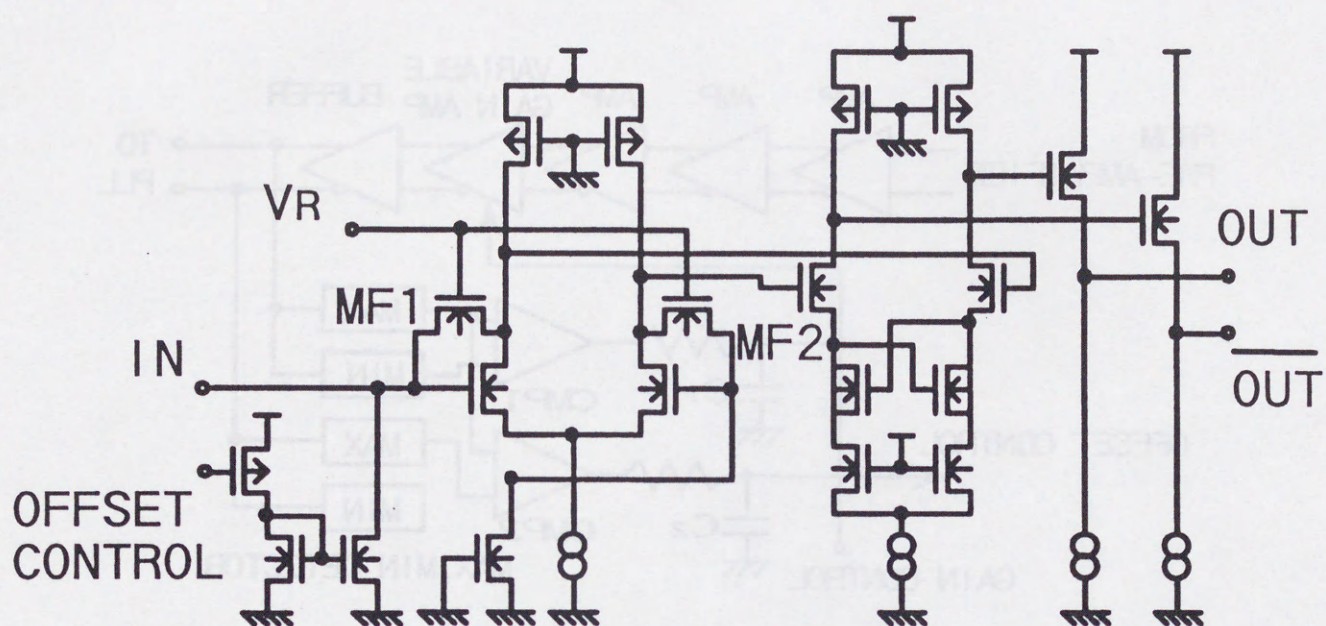


図5-11 実際のプリアンプ回路

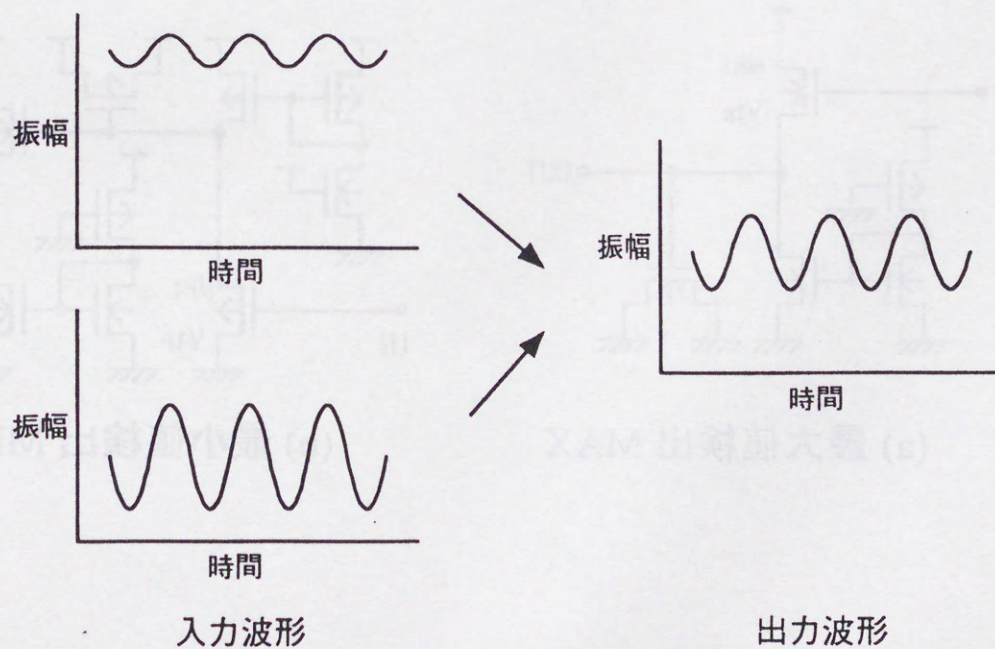


図5-12 AGCの働き



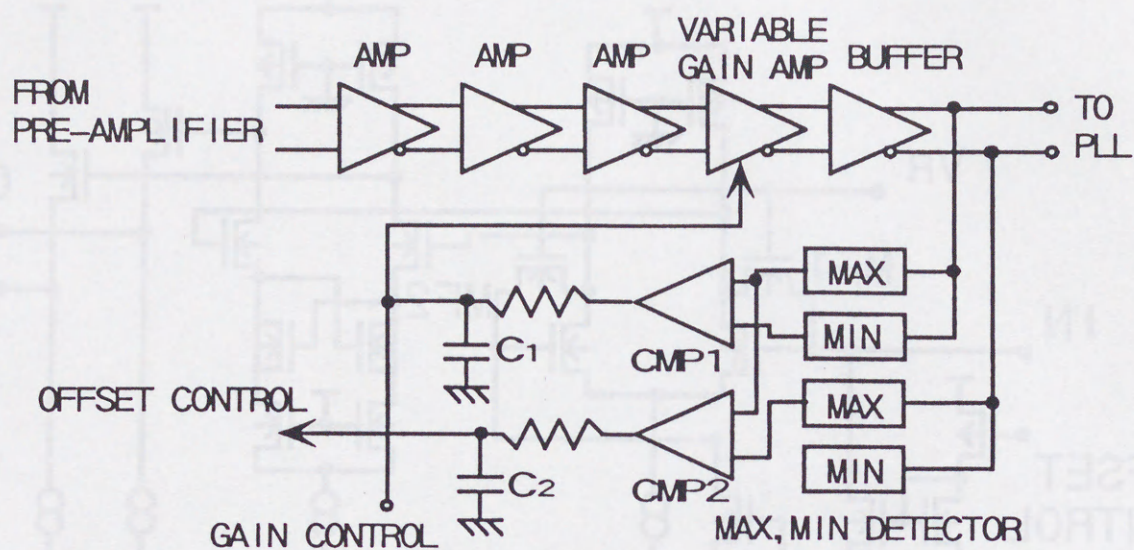


図5-13 AGCのブロック図

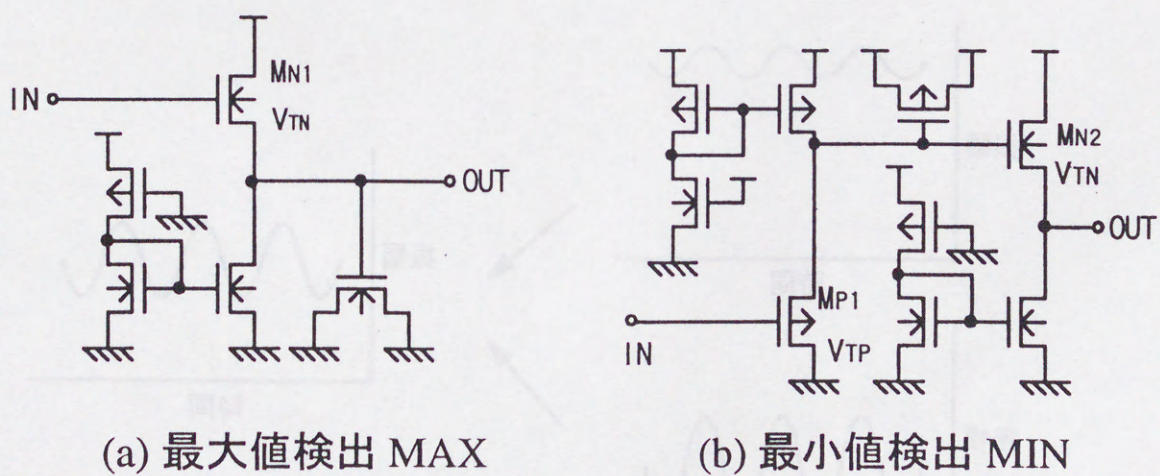


図5-14 ピークディテクタ回路図



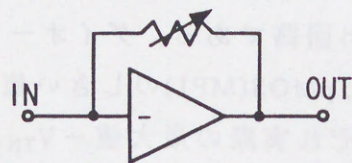
の最大値と正の最小値の差を比較器(CMP1)で検出してこの差が一定になるように可変ゲインアンプのゲインを調整する。さらに正の最大値と負の最大値の差を比較器(CMP2)検出して、この差が0となるようにプリアンプの入力電流を調整する。

図 5-14 は最大値・最小値検出回路である。ダイオード型の回路を用いている。この回路では、nMOS(MN1,MN2), pMOS(MP1)のしきい値をそれぞれ  $V_{TN}, V_{TP}$  とすると最大値・最小値検出回路はそれぞれ実際の最大値  $-V_{TN}$ 、実際の最小値  $+V_{TP}-V_{TN}$  の電圧を出力する。CMP1 では正の信号に対してこの最大と最小の検出結果が等しくなるようにフィードバック信号を出力するので、AGCによって得られる出力振幅は  $V_{TP}$  となる。つまりこの AGC 回路は外部からのリファレンス電圧なしにしきい値によって決まる一定振幅を発生することができる。ピークディテクタや比較器では構成する MOSFET のしきい値のばらつきが大きいと正確にオフセットやゲインの調整ができないので、この部分のみ、ばらつきの小さいゲート長  $0.25 \mu m$  の MOSFET を使用した。

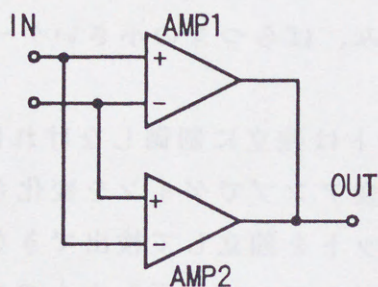
AGC ではゲインとオフセットは独立に制御しなければ、最悪の場合に回路が発振する危険性がある。ゲイン可変アンプでゲインを変化させることによりオフセットが変動するとゲインとオフセットを独立して検出できなくなるため、制御が困難となる。図 5-15 は各種の可変ゲインアンプを示したものである。(a)の可変フィードバック型[5.5]はプリアンプ部でフィードバック量を変化させる方式で最も一般的に用いられる。しかし、この方式はプリアンプのフィードバックを変えるために入力インピーダンスや周波数特性、オフセットなどが変動するという問題があった。このため、ゲインとオフセットは独立に制御することは難しい。(b)は電流加算型[5.10]である。この方式は AMP1 と AMP2 のゲインをそれぞれ  $G1, G2$  としたとき  $G1+G2=$  一定の状態では  $G1$  と  $G2$  を変化させる。2つのアンプにはお互いに逆相の信号が入力されており、両者の出力電流が加算されて OUT から出力される。よって  $G1=G2$  ならば全体のゲインは 0、 $G2=0$  ならばゲインは最大となる。この方式では周波数特性やオフセットに影響を与えずにゲインを変化させることができる。しかし、AMP1 と AMP2 の特性が正確につりあっていないため、回路が複雑で素子の特性ばらつきに弱いという問題がある。このため素子ばらつきの大きい微細な MOSFET には適していない。そこで今回は図(c)のような電圧加算型のゲイン可変アンプを開発した。このアンプは負荷に接続される抵抗の値を変化させてゲインを変動させる。実際の回路図を図 5-16 に示す。図 5-15(c)の可変抵抗をトランスファゲートの  $M_R$  で実現している。この回路は

- (i)ゲインを変えてもオフセットや周波数特性が変動しない。
- (ii)ゲインを1つのトランジスタで決定するので素子のばらつきに強い。
- (iii)このようなトランスファゲートを用いる回路は MOSFET でのみ理想的に動作す

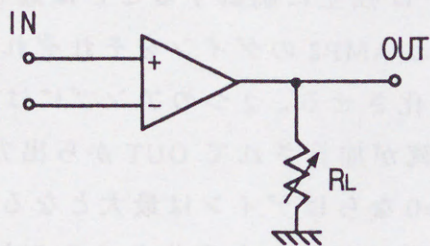




(a) 可変フィードバック型



(b) 電流加算型



(c) 電圧加算型

図5-15 各種可変ゲインアンプ



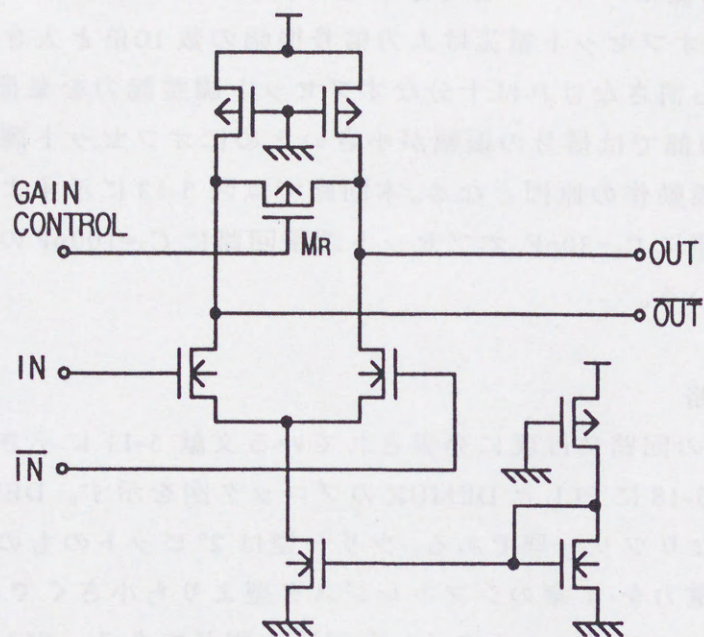


図5-16 可変ゲインアンプ回路図

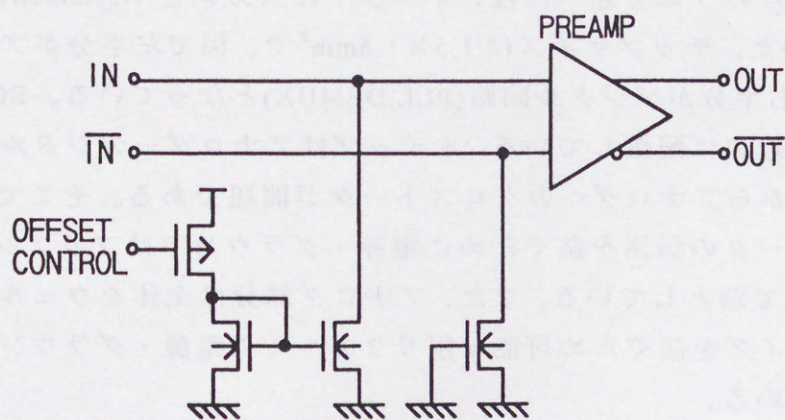


図5-17 オフセット補償回路



る。

という特徴がある。

オフセット調整は図 5-17 のような定電流回路をプリアンプの正入力側に接続し、DC 電流を定電流回路側にバイパスさせることで実現している。オフセット調整回路で打ち消すべき DC オフセット電流は入力信号振幅の数 10 倍と大きいためにプリアンプの入力部で打ち消さなければ十分なオフセット調整能力を発揮できない。ただし、プリアンプ入力部では信号の振幅が小さいためにオフセット調整回路は十分な安定度がなければ誤動作の原因となる。本回路では図 5-13 に示すように安定化のためにゲイン調整回路に  $C_1=30\text{pF}$ 、オフセット調整回路に  $C_2=100\text{pF}$  の安定化容量をチップ上に搭載している。

### 5-3-3 PLL, DEMUX 回路

PLL と 1:8 DEMUX の回路には既に発表されている文献 5-11 に示された回路と同じ物を使用した。図 5-18 に PLL と DEMUX のブロック図を示す。DEMUX の回路には 4 章の回路とは異なりツリー型である。ツリー型は  $2^n$  ビットのものしか作ることができないが、消費電力を 4 章のシフトレジスタ型よりも小さくできる。DEMUX に使用したフリップフロップは 4 章で示した回路と同じである。PLL のフィルター用の安定化容量は外付けとなっている。

### 5-3-4. 試作プロセス

図 5-19 は以上の回路を集積した 1 チップ光受信器のチップ写真である。試作プロセスは 4 章と同じゲート長  $0.15\ \mu\text{m}$  の CMOS でゲート酸化膜厚は  $5\text{nm}$  である。低クロストーク化のため 3 章で述べた浅いポケット注入方式と Asymmetrical Channel Implant 方式を用いた。チップサイズは  $1.5 \times 1.5\text{mm}^2$  で、図で左半分がアナログ回路 (PREAMP, AGC)、右半分がデジタル回路 (PLL, DEMUX) となっている。ECL 出力バッファは出力パッド近辺に配置している。本チップはアナログーデジタル混在の回路のため、デジタルからアナログへのクロストークが問題である。そこで、電源ラインからのクロストークの伝達を防ぐために電源・グラウンドはプリアンプ+AGC 部と PLL+DEMUX 部で別としている。また、アナログ部分は全体をウェルコンで包囲し、外部からのノイズを防ぐため可能な限り 2 アルミの電源・グラウンドパターンで素子部を覆っている。

## 5-4. 光受信器の測定結果

### 5-4-1. プリアンプ

プリアンプの測定はネットワークアナライザを用いて行った。この時ケーブルや



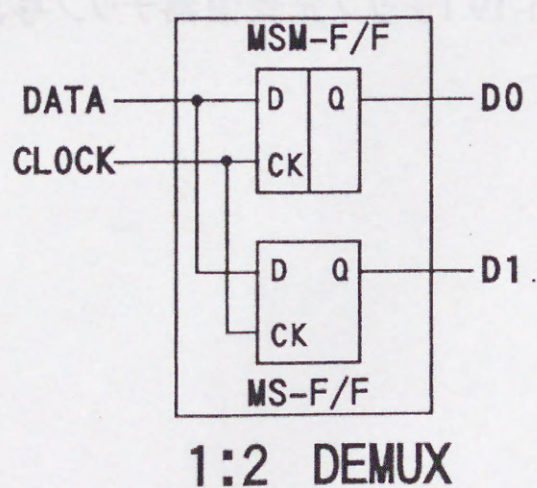
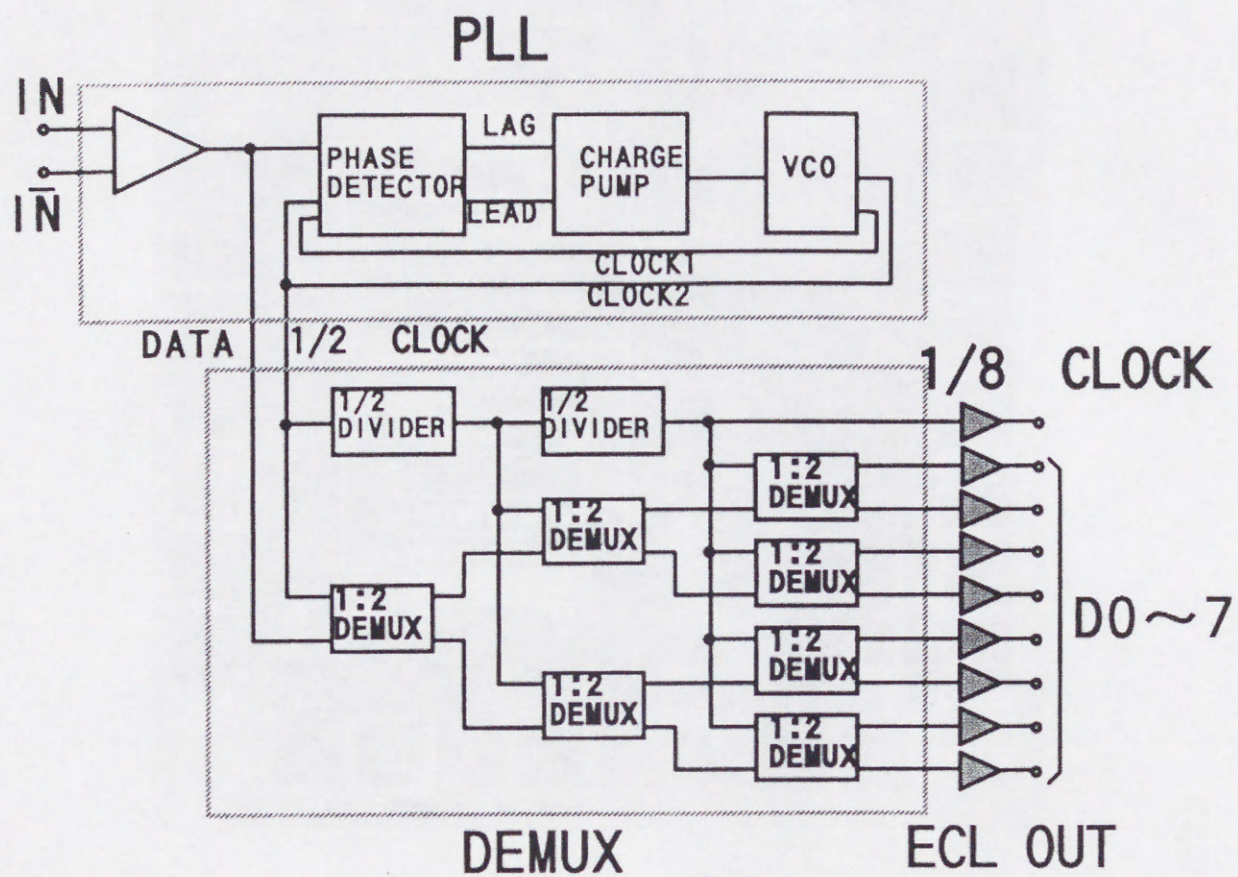


図5-18 PLL,DEMUXブロック図



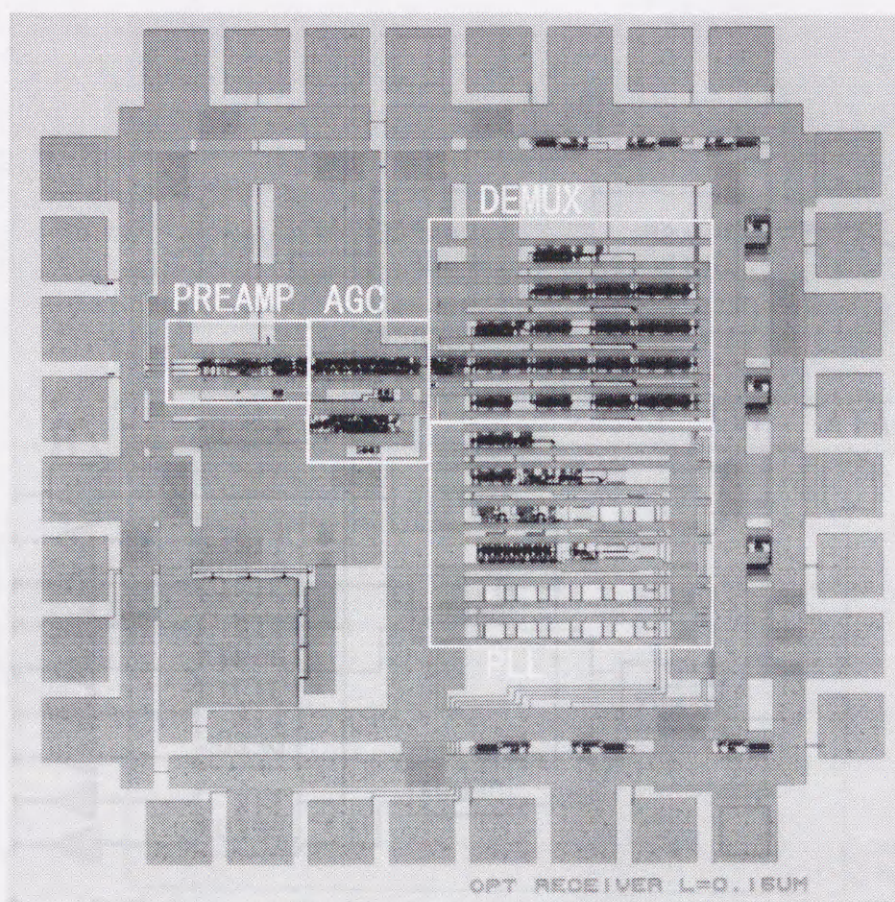


図5-19 1チップ光受信器チップ写真



パッドのインピーダンスによる誤差は3章で説明したようにオープンパッドを用いてパッド部分のみの抵抗と容量を測定し、校正している。図5-20にプリアンプのトランスインピーダンスの測定結果を示す。電源電圧は2Vである。アンプ単体でのトランスインピーダンス  $Z_T$  は次式を用いて計算した。

$$Z_T = -\frac{Z_{21}}{1 + \frac{Z_{22}}{Z_L}} \quad (5-5)$$

ここで  $Z_{21}, Z_{22}$  は測定したS行列をZ行列に変換した後の行列要素である。従来の単体のプリアンプでは出力には50Ωの伝送路が接続されるために、負荷のインピーダンス  $Z_L$  は50Ωである。しかし、本回路は1チップの光受信器の一部として設計されているために、負荷につながるのは次段のMOSFETのゲートである。そこで、ここでは  $Z_L$  は次段にゲート長20μmのMOSFETが接続されているものとして計算した。このプリアンプのゲインと帯域はフィードバックトランジスタのゲート電圧  $V_r$  によって変化し、ゲイン58dBΩの時で帯域5.9GHz(3dB落ち)が得られた。また、図5-3に示すように、実際には入力フォトダイオードによる入力容量が存在するので、この容量を考慮した場合のトランスインピーダンスも求める必要がある。これはアンプ単体の伝達特性から次式により計算できる。

$$Z_T = -\frac{Z_i}{\frac{Z_{12}}{Z_L} + \frac{(Z_{11} + Z_i)(Z_L + Z_{22})}{Z_{21}Z_L}} \quad (5-6)$$

ここで  $Z_i$  は入力フォトダイオードのインピーダンスである。この計算による周波数特性から求めた図5-20の各バイアス条件における帯域幅を図5-21に示す。いずれのバイアス条件でも入力容量の増加に伴って帯域幅が狭くなるが、典型的な例として入力に0.3pFの容量を付加した場合でも  $V_r=1.5V$  で2.7GHz、 $V_r=1.7V$  でも1.8GHzと2.4Gb/sの動作が可能な帯域が得られている。このプリアンプ部の消費電力は22mWであった。この回路は出力に50Ωの負荷を駆動するための出力バッファ回路を必要としないので、消費電力を小さく抑えることができる。表3-1にプリアンプ回路の主な特性を示す。シミュレーションにより求めた入力熱雑音は9.75pA/√Hzであり、これよりビット誤り率  $10^{-9}$  を達成するための入力光電力を求めると-22.3dBmとなる。

#### 5-4-2.AGC

プリアンプ+AGC回路は図5-22のような測定系で測定した。バイアスティーを用いてパルスジェネレーターからの高周波信号にDCのオフセット電流を重ねて入力端に加えている。



表 5-1 プリアンプの特性

動作電圧	2V
消費電力	22mW
トランスインピーダンスゲイン	58dB $\Omega$
周波数帯域	5.9GHz (-3dB)
入力雑音電流	9.75pA/ $\sqrt{\text{Hz}}$ (Simulated)
入力感度(BER=10 <sup>-9</sup> )	-22.3dBm (Simulated)

表 5-2 1チップ光受信器の特性

ゲート長	0.15 $\mu\text{m}$
設計ルール	0.35 $\mu\text{m}$
ゲート酸化膜厚	5nm
動作電圧	2V
動作速度	2.17Gb/s ~ 2.51Gb/s
PLLジッター(RMS)	4.26ps (@1.2GHz)
PLLロックレンジ	60MHz
最小入力電流振幅	21.9 $\mu\text{A}$
消費電力(ECL出力を除く)	104mW(@2.4Gb/s)
消費電力(ECL出力を含む)	284mW(@2.4Gb/s)

WSi p-n ゲート、ツインウェル、2層メタルプロセス



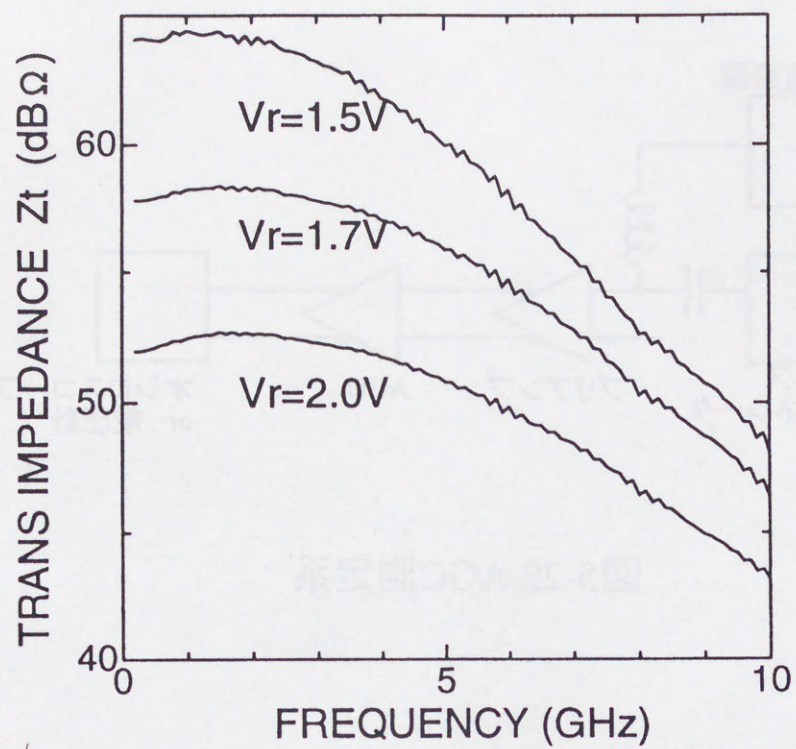


図5-20 プリアンプの周波数特性

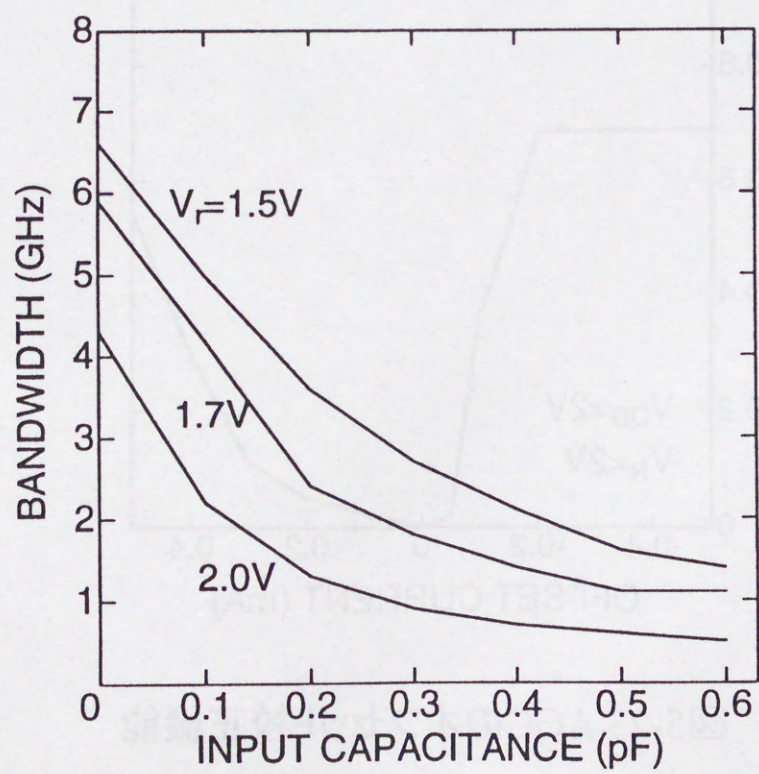


図5-21 入力容量との帯域幅の関係



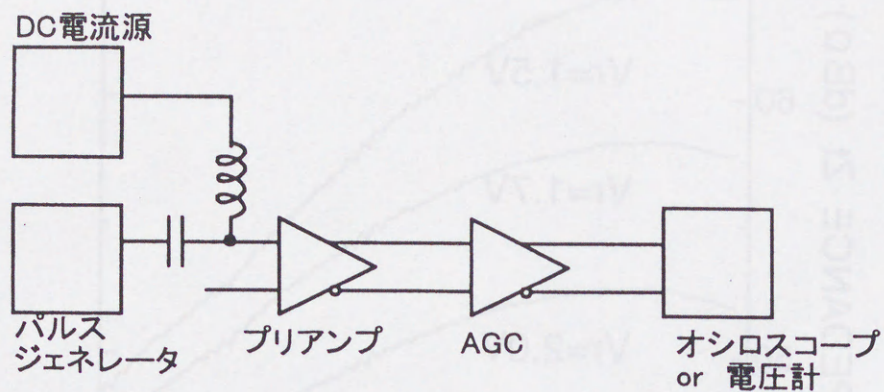


図5-22 AGC測定系

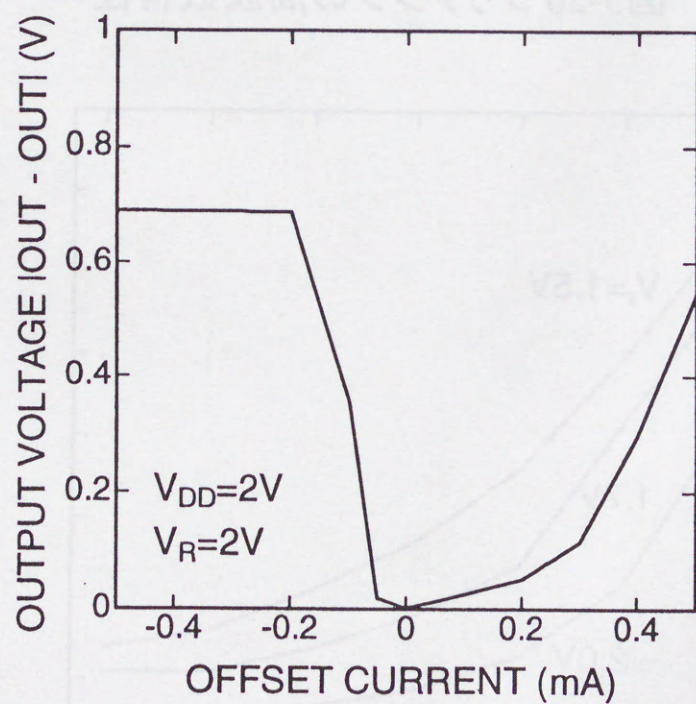


図5-23 AGCのオフセット校正機能



入力の DC オフセット電流と出力の電圧の関係を図 5-23 に示す。図で横軸は入力端から流し込む DC 電流、縦軸はその時の正負の出力端の出力電圧の中心値である。測定時には AC 側から  $50\ \Omega$  の高周波プローブを接続して 1.2GHz、7mVp-p の信号を加えている。図より、この回路は入力のオフセット電流として 0.2mA 程度までを打ち消すことができる。このときのプリアンプの入力インピーダンスは約  $270\ \Omega$  であるのでこの値は 54mV の入力振幅に相当する。この AGC 回路の周波数特性を図 5-24 に示す。この回路は電圧ゲイン 19.6dB で 2.0GHz の帯域幅を達成した。AGC 回路全体での消費電力は約 10mW である。

#### 5-4-3. 全体回路の特性

図 5-25 は試作した 1 チップ光受信器の動作波形である。測定は高周波プローブを用いてウェハー上で行った。電源電圧は 2V で動作している。図で上段はパルスジェネレータで発生させた入力の NRZ 信号(負論理)でパターンは 1010010100010001 振幅は 7mVp-p、ビットレートは 2.4Gb/s である。中段は入力信号に同期した PLL の出力クロックで 2.4GHz を 1/8 に分周した 300MHz の信号、下段はこのクロックに同期した DEMUX からの出力データである。1 チップ光受信器の主な特性を表 5-2 に示す。正常動作可能な最小入力振幅は  $21.9\ \mu\text{A}$  である。

図 5-26 は PLL 出力クロックのパワースペクトラムである。入力信号の速度は 2.4Gb/s で振幅は 7mVp-p である。図のように本チップ上の PLL は安定な発振が得られている。表 5-2 に示すクロックジッター・ロックレンジ・動作周波数等の性能は PLL 回路単体で測定した値と同程度の性能であり[5.11]、プリアンプ+AGC の特性による PLL の性能劣化はあまりないことが分かる。

図 5-27 は本チップの電力-遅延積を従来の Si bipolar や GaAs FET の光受信器と比較したものである[5.10,12,13]。表 2 より本チップの消費電力電源電圧 2V、2.4Gb/s 動作では出力トランジスタでの電力を含まない状態で 104mW、クロック+8 ビットの出力を加えた状態で 284mW であった。図のように、本チップの消費電力は従来の Si bipolar や GaAs FET のチップに比較して非常に小さくなっており、Si bipolar に調べて約 1/7 となっている。この低消費電力は第 1 に低消費電力な CMOS で全体を構成したことと、第 2 に全体を 1 チップ化したことにより従来のマルチチップモジュールで必要であったチップ間を結ぶ ECL インターフェース回路を不要としたことによる。この 1 チップ化が可能となったのは低クロストークなプリアンプ回路を使用したからである。このように GHz 領域の回路を CMOS で製作することにより大幅な低消費電力化ができたことがわかる。

本チップは出力が ECL インターフェースとなっているためにこの部分での消費電力が非常に大きく、チップの全消費電力の 63%を占める。しかし、1 節で述べた



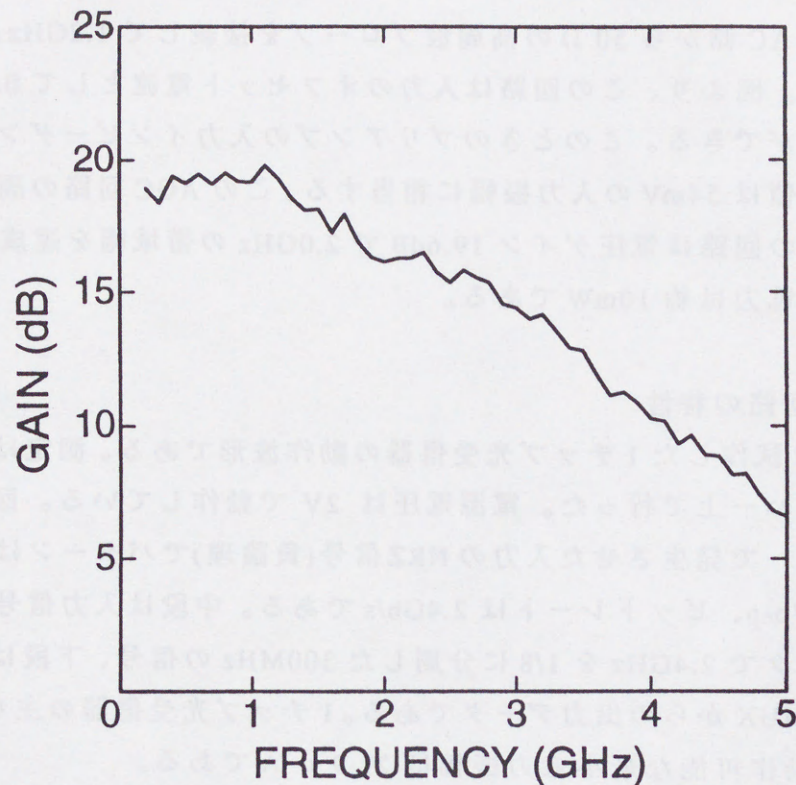


図5-24 AGCの周波数特性



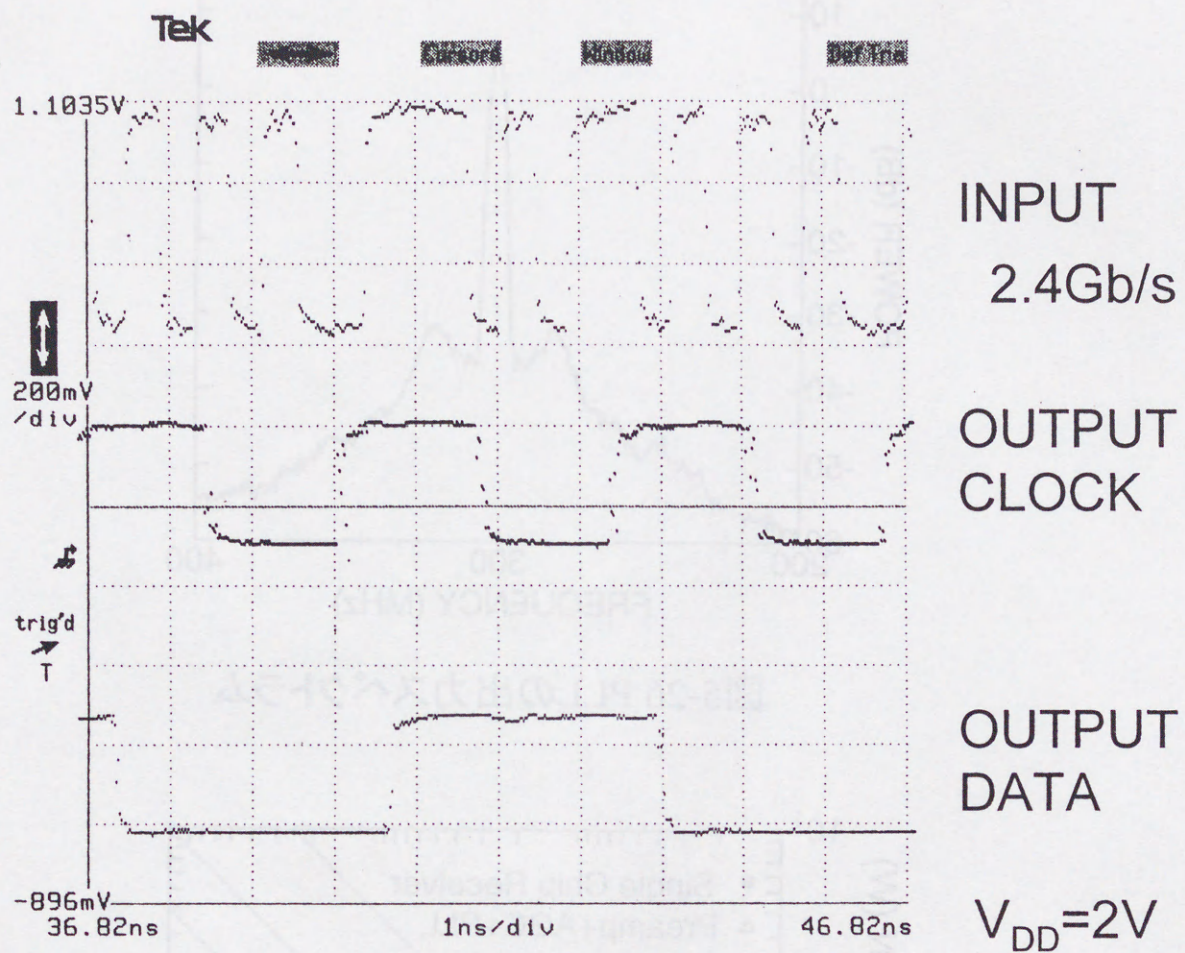


図5-25 光受信器動作波形



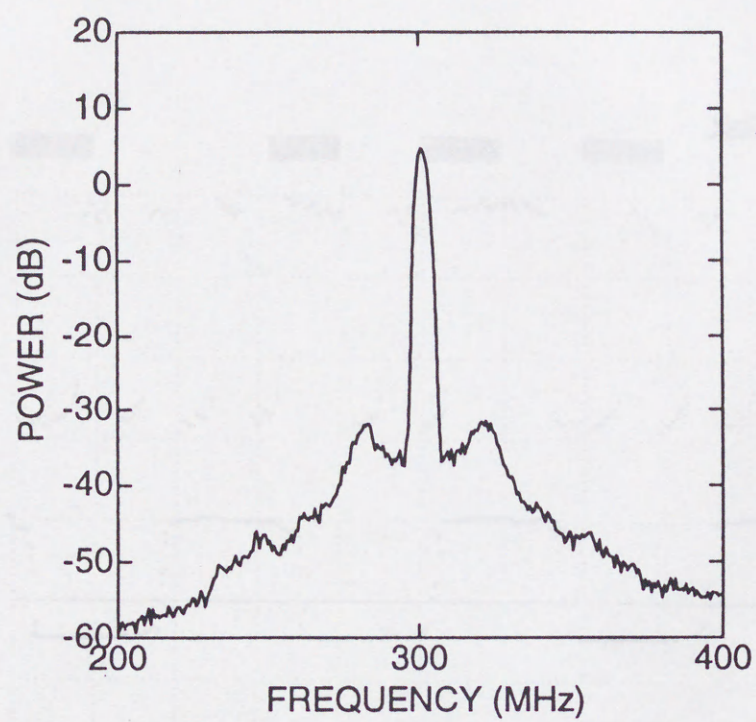


図5-26 PLLの出カスペクトラム

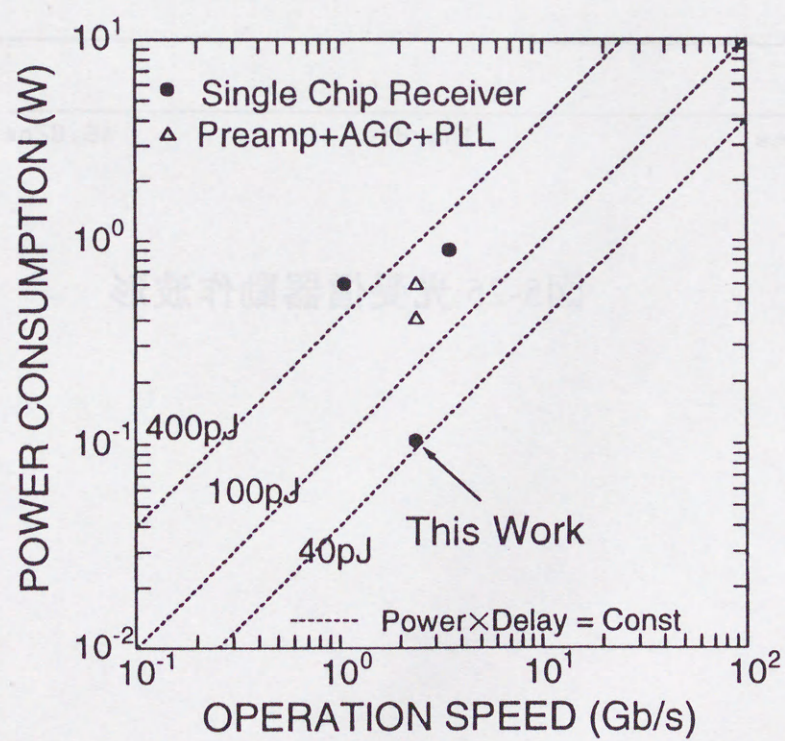


図5-27 電力ー遅延積の比較



ように GHz 動作の必要な本回路が CMOS で構成できたことで、さらに後段の信号処理回路との一体化も可能と考えられる。この場合には ECL インターフェースは不要となるのでさらに低消費電力化できるものと考えられる。

#### 5-5. 本章のまとめ

光通信用 IC の光受信部に用いるプリアンプ回路の基板クロストークの問題について検討を行った。この結果、入力 MOSFET のドレイン端から直接フィードバックをかけるような回路方式を用いることで GHz 領域での基板を介したクロストークを低減できることを明らかにした。測定の結果、従来のソースフォロワーを介してフィードバックをかけるプリアンプ回路に比べて約 5dB 低クロストークとなることが示された。また、この回路方式を用いたプリアンプを試作し、トランスインピーダンスゲイン 58dB  $\Omega$  で周波数帯域 5.9GHz(-3dB 落ち)という CMOS では最高レベルの広帯域特性を達成した。

さらにゲート長 0.15  $\mu$  m の CMOS を用いてこのプリアンプを含んだ 1 チップ光受信器(プリアンプ, AGC, PLL, DEMUX を含んだ回路)を試作した。この回路は CMOS の光受信器で初めて 2.4Gb/s の動作を達成した(電源電圧 2V)。また、このときの消費電力は ECL 出力トランジスタでの電力を含まない状態で 104mW と従来の Si bipolar や GaAs FET の光受信器と比較して 1/7 以下の最低消費電力を達成した。この低消費電力は低クロストークなプリアンプを使用することで全体を CMOS で 1 チップ化できたことによる。



## 参考文献

- [5.1] M.Kurisu, M.Kaneko, T.Suzaki, A.Tanabe, M.Togo, A.Furukawa, T.Tamura, K.Nakajima and K.Yashida, "2.8Gb/s 176mW Byte-Interleaved and 3.0Gb/s 118mW Bit-Interleaved 8:1 Multiplexers", ISSCC Dig. Tech. Papers, 122(1996).
- [5.2] A.Tanabe, M.Togo, M.Soda, H.Tazuka, T.Suzaki, A.Furukawa and K.Emura, "High Performance CMOS for GHz Communication IC", Symp. VLSI Tech. Dig., 1996, p134
- [5.3] S.D.Personik, "Receiver Design for Optical Fiber Systems", Proceedings of the IEEE, Vol.65, No.12, 1670(1997).
- [5.4] R.Kokozinski, W.Barthel, W.Brockherde, W.Budde, B.J.Hosticka and G.Zimmer, "Microwave Wideband Amplifiers in Bulk-CMOS and CMOS/SIMOX technologies", ISSCC Dig. Tech. Papers, 188(1995).
- [5.5] H.Khorramabadi, L.D.Tzeng and M.J.Tarsia, "A 1.06Gb/s -41dbm to 0dbm BiCMOS Optical Preamplifier Featuring Adaptive Transimpedance", ISSCC Dig. Tech. Papers, 54(1995).
- [5.6] R.G.Mayer and W.D.Mack, "A Wideband Low-Noise Variable-Gain BiCMOS Transimpedance Amplifier", IEEE J. Solid-State Circuits, Vol. 29, No.6, 701(1994).
- [5.7] K.H.Chan and R.G.Meyer, "A Low-Distortion Monolithic Wide-Band Amplifier", IEEE J. Solid-State Circuits, Vol. SC-12, No.6, 685(1997).
- [5.8] P.R.Gray and R.G.Meyer, "Analysis and Design of Analog Integrated Circuits Second Edition", John Wiley & Sons, Inc., 1984, Chapter 3
- [5.9] K.M.Fukuda et.al., "Measurement of Digital Noise in Mixed-Signal Integrated Circuits", IEEE J. Solid-State Circuits Vol.30, No.2, 87(1995).
- [5.10] M.Soda, T.Suzaki, T.Morikawa, H.Tezuka, C.Ogawa, S.Fujita, H.Takemura and T.Tashiro, "A Si Bipolar Chip Set for 10Gb/s Optical Receiver", ISSCC Dig. Tech. Papers, 100(1992).
- [5.11] M.Soda, H.Tezuka, S.Shioiri, A.Tanabe, A.Furukawa and K.Emura, "A 2.4Gb/s CMOS Clock Recovering 1:8 Demultiplexer", Symp. on VLSI Circuits Dig., 69(1997).
- [5.12] J.F.Ewen, A.X.Widmer, M.Soyuer, K.R.Wrenner, B.Parker and H.A.Ainspan, "Single-Chip 1062Mbaud CMOS Transeiver for Serial Data Communication", ISSCC Dig. Tech. Papers, 32(1995).
- [5.13] N.Ishihara, S.Fujita, M.Togashi, S.Hino, Y.Arai, N.Tanaka, Y.Kobayashi and Y.Akazawa, "3.5Gb/s x 4-Ch Si Bipolar LSIs for Optical Interconnections", ISSCC Dig. Tech. Papers, 34(1995).



## 第6章 結論

バルク MOSFET を用いて GHz 領域で動作する光通信用 IC を実現するための問題点として、寄生抵抗・容量および基板を介したクロストークについて研究を行い、その解決策を示した。さらに、その知見をもとに 1 チップの CMOS 光受信器を試作し、CMOS の光受信器で初めて 2.4Gb/s の動作を達成した。

まず、MOSFET の寄生抵抗・寄生容量については、MOSFET まわりの各部抵抗(ゲート電極抵抗、チャネル抵抗、ソース・ドレイン抵抗、LDD 抵抗)と各部容量(ゲート容量、ゲート側面容量、ソース・ドレイン接合容量)が遅延時間に及ぼす影響について解析し、ゲート長との関係を解析的に明らかにした。また、接合容量を低減させる Localized Channel Implant 方式を用いることで接合容量の影響を緩和できることを示した。実際の MOSFET ではこの方式により約 30% の高速化が出来ることを実証した。

次にバルクの MOSFET で大きな問題となる基板クロストークについて検討を行った。このクロストークは小信号を扱うアナログ回路で主に問題となる。クロストークには各種の伝達経路があるが、その中でも拡散層→基板→拡散層と伝わる拡散層-拡散層間のクロストークと、拡散層→基板→ゲート電極と伝わり基板電位の変動によって MOSFET のしきい値電圧が変動するクロストークの 2 種が問題であることを示した。ネットワークアナライザを用いてこれらのクロストークの伝達特性を測定したところ、GHz 領域では非常に大きなクロストークが発生していることが分かった。

このクロストークの伝達経路を簡単な等価回路モデルで表わし、DC や低周波で測定した抵抗・容量の値を用いてクロストークを計算したところ測定値と良い一致が見られた。また、入出力の拡散層とウェルコンの配置を変えたパターンに対してもこの等価回路によって精度良くクロストークを計算することができることを示した。このモデルは受動素子のみで構成されているので線形性が成り立ち、複数のクロストークを重ねあわせることでより複雑なパターンにも対応できる。

さらに、従来考慮されていなかったクロストークが MOSFET に与える影響について考察した。この結果から MOSFET のクロストークに対する感度を表わす式を導き、MOSFET をクロストークに強くするための指針として a) チャネル抵抗  $r_0$  を高くせず、b) トランスコンダクタンス  $G_m$  を大きく、c) 基板効果定数  $K$  と d) 接合容量  $C_j$  とを小さくすることが有効であることを明らかにした。

この指針を実現するための方法として、a) と b) のためにはゲート電圧を高くするバイアス条件が従来のチャネル抵抗を高めるバイアス条件よりも GHz 動作に適していることを示した。また、c) のためには LDD の浅い部分にポケット注入を行う浅いポケット注入方式を用いることが、他のポケット注入方式やカウンタードープ方



式などの短チャネル効果抑制手法よりも、接合容量や基板効果などの点で GHz 動作に適していることを示した。そして、この MOSFET を試作し、短チャネル効果を抑制しつつ基板効果定数  $K$  をカウンタードープ方式の 1/2 程度に小さく出来ることを実証した。さらに d) に対しては Localized Channel Implant で信号の伝わるドレイン側の接合容量を減少させると共に、信号の伝わらないソース側にチャネル注入を行って接合容量を増加させる Asymmetrical Channel Implant を提案し、ソース側をシールドとして用いることでクロストークを低減できることを示した。

以上の知見を元に、ゲート長  $0.15 \mu\text{m}$  のバルク CMOS を用いて GHz 動作の光通信 IC を試作した。まず、シリアル-パラレル変換機 (DEMUX) を試作し、バルクの CMOS で初めて最高動作周波数 2.8GHz、220mW と 2.4Gb/s 以上の性能を実現した。さらに、プリアンプ、自動ゲイン調整器 (AGC)、PLL、DEMUX を集積した 1 チップ光受信器を試作し、2.4Gb/s で 104mW の性能を実現した。この光受信器にはクロストークに強いプリアンプ回路を使用した。この回路は従来のプリアンプ回路に比べてゲート電圧を高くすることで  $G_m$  を高めてクロストークに対する感度を小さくしている。測定の結果、このプリアンプは従来の回路に比べて約 5dB 低クロストークであることが分かった。また、このプリアンプはゲイン 58dB  $\Omega$  で帯域 5.9GHz という CMOS で最高レベルの高帯域、高ゲイン特性を実現した。

最後に今後の展望について述べる。今回試作した光受信器は 2.4Gb/s のためのチップであるが、この上の規格としては 10Gb/s がある。これをバルク CMOS で実現するために考えられる問題点としては

- i) 2.4Gb/s よりもさらに大きい基板クロストーク
- ii)  $G_m$  の不足
- iii) 素子ばらつき

などが考えられる。i) は 3 章で述べたようにクロストークは高周波ほど大きいため、さらに厳重なクロストーク対策が必要となると考えられる。Asymmetrical Channel Implant 方式は高周波ほど効果的となるために、10Gb/s 用の回路では有効な手段になると思われる。逆にクロストークのしきい値への影響は相対的に小さくなるため、基板効果の低減はクロストークの面からはあまり重要ではなくなると考えられる。

ゲート長  $0.15 \mu\text{m}$  の MOSFET の  $G_m$  は最先端の GaAs や Si Bipolar の数分の 1 である。デジタル回路の PLL や MUX, DEMUX は内部の並列度の増加や差動ロジックの導入などの高速化手法によってある程度の高速化は可能と考えられる。しかし、アナログ回路のプリアンプや AGC などでは入力 of 1 段目の MOSFET には高い  $G_m$  が要求されたため MOSFET 自身の高性能化が必要となると考えられる。



iii)の素子ばらつきは、ゲート長の微細化やゲート酸化膜の薄膜化によって、さらに大きくなるものと考えられる。特に近年はゲート酸化膜の薄膜化が盛んに研究されており、たとえば膜厚 1.5nm 程度のものも試作されているが、このような薄膜でせは酸化膜厚が 1 原子層ばらついても大きな影響をうけ、酸化前の自然酸化膜のばらつきの影響も無視出来ない。これについては回路的なばらつき抑制方式が重要となると考えられる。

以上のように従来 GaAs MESFET、GaAs HBT、Si バイポーラで作られていた GHz 領域のデジタル・アナログ回路を CMOS で実現することができた。このように、微細 MOSFET の高周波応用への可能性を示したことで、今後、この分野のデバイスや回路の開発が活発化するものと考えられる。



## 謝 辞

本論文作成にあたり、あたたかい御指導、御教示をいただきました東北大学電気通信研究所舩岡富士雄教授に感謝いたします。また、本論文をまとめるにあたりご教示ご助言いただきました東北大学坪内和夫教授、室田淳一教授、遠藤哲郎助教授に感謝いたします。

本研究の機会を与えていただき、多大なる御支援をいただきました日本電気 研究開発グループ渡辺支配人(当時マイクロエレクトロニクス研究所所長)、シリコンシステム研究所 阿部所長、西谷所長代理、ULSI デバイス開発研究所 遠藤所長代理(当時マイクロエレクトロニクス研究所所長代理)、C&C メディア研究所 福岡統括部長(当時マイクロエレクトロニクス研究所超高集積回路研究部部長)に感謝いたします。

また、本研究に当たり有益な御指導・御助言・励ましをいただきましたシリコンシステム研究所超高集積回路研究部 國尾部長、古川課長、最上課長、竹内課長、山本主任、ULSI デバイス開発研究所 ロジック開発部 安藤主任(当時 超高集積回路研究部主任)に感謝いたします。本研究にあたり、常に御支援をいただきました ULSI デバイス開発研究所 メモリデバイス開発部 東郷氏(当時 超高集積回路研究部)、超高集積回路研究部 中原氏に感謝いたします。有益な助言をいただきました同部 上沢氏、若林氏に感謝いたします。また、回路設計等の御指導・御助言をいただきました ULSI システム開発研究所 高田部長(当時システム ULSI 研究部課長)、ULSI デバイス開発研究所 メモリ回路開発部 竹島課長(当時システム ULSI 研究部主任)に感謝いたします。

光通信用 IC の開発にあたって回路設計、デバイス測定で多大な御協力をいただいた C&C LSI 開発本部 栗栖課長、金子氏、C&C メディア研究所 光ネットワークテクノロジーグループ 洲崎主任、早田主任、手塚氏に感謝いたします。また、ノイズ測定で御協力いただいた関西エレクトロニクス研究所 丸橋主任に感謝いたします。さらにデバイス測定で機材を御提供いただいたシリコンシステム研究所システム ULSI 研究部 小池主任、中村主任に感謝いたします。

数度のデバイス試作にあたってゲート露光・エッチングで御協力いただいた ULSI デバイス開発研究所微細加工研究部 宮本課長、野末課長、中島主任、渡嘉敷主任、吉田主任、田村主任に感謝いたします。また、デバイスの試作をしていただいた LSI 製造本部の方々に感謝いたします。

この他にも御指導、御協力いただいた数多くの方々に感謝いたします。

最後に、研究全般にわたり暖かい御指導をいただいた京都大学工学部電気工学科 藤田茂夫教授、藤田静雄助教授に感謝いたします。



## 研究業績一覧

### 発表論文

- [1] Akira Tanabe, Hiroki Koike, Toshio Takeshima, Yoshiharu Aimoto, Masahide Takada, Toshiyuki Ishijima, Naoki Kasai, Hiromitsu Hada, Kentaro Sibahara, Takamitsu Kunio, Takaho Tanigawa, Takaniri Saeki, Masata Sakao, Hidemitsu Miyamoto, Hiroshi Nozue, Shuichi Ohya, Tatsunori Murotani, Kuniaki Koyama and Takashi Okuda " A 30ns 64Mb DRAM with Built-in Self-Test and Repair Function", IEEE J. Solid State Circuits, Vol.27, No.11, 1525(1992).
- [2] Akira Tanabe, Kiyoshi Takeuchi, Toyoji Yamamoto, Takeo Matsuki, Takemitsu Kunio, Masao Fukuma, Ken Nakajima, Naoki Aizaki, Hidenobu Miyamoto and Eiji Ikawa, "0.15  $\mu$  m CMOS Devices with Reduced Junction Capacitance", IEICE Trans. on Electronics, Vol. E78-C, No.3, 267(1995).
- [3] Masakazu Kurisu, Makoto Keneko, Tetsuyuki Suzuki, Akira Tanabe, Mitsuhiro Togo, Akio Furukawa, Takao Tamura, Ken Nakajima and Kazuyuki Yoshida, "2.8-Gb/s 176-mW Byte-Interleaved and 3.0Gb/s 118-mW Bit-Interleaved 8:1 Multiplexers with a 0.15  $\mu$  m CMOS Technology", IEEE J. of Solid State Circuits, Vol.31, No.12, 2024(1996).
- [4] Masayuki Mizuno, Koichiro Furuta, Takeshi Ando, Akira Tanabe, Takao Tamura, Hidenobu Miyamoto, Akio Firikawa, Masakazu Yamashina, "A 0.18  $\mu$  m CMOS Hot-Standby Phase-Locked Loop Using a Noise-Immune Adaptive-Gain Voltage-Controlled Oscillator", IEICE Trans. on Electronics to be published.
- [5] Akira Tanabe, Masayuki Soda, Yasushi Nakahara, Takao Tamura, Kazuyoshi Yoshida and Akio Furukawa, "A Single Chip 2.4Gb/s CMOS Optical Receiver IC with Low Substrate Crosstalk Pre-amplifier", IEEE J. Solid-State Circuits to be published.
- [6] Akira Tanabe and Akio Furukawa, "Analysis of GHz crosstalk in bulk Si substrate and its reduction by the asymmetrical channel implantation of MOSFET", to be submitted.



国際学会発表

- [1] Hiroki Koike, Akira Tanabe, Toshio Takeshima, Yoshiharu Aimoto, Masahide Takada, Toshiyuki Ishijima, Naoki Kasai, Hiromitsu Hada, Kentaro Sibahara, Takamitsu Kunio, Takaho Tanigawa, Takaniri Saeki, Masata Sakao, Hidemitsu Miyamoto, Hiroshi Nozue, Shuichi Ohya, Tatsunori Murotani, Kuniaki Koyama and Takashi Okuda "A 30ns 64Mb DRAM with Built-in Self-Test and Repair Function", ISSCC Dig. Tech. Papers, 122(1992).
- [2] Kiyoshi Takeuchi, Toyoji Yamamoto, Akira Tanabe, Takeo Matsuki, Takemitsu Kunio, Masao Fukuma, Ken Nakajima, Naoki Aizaki, Hidenobu Miyamoto and Eiji Ikawa, "0.15  $\mu$  m CMOS with High Reliability and Performance", IEDM Tech. Dig., 883(1993).
- [3] Masayuki Mizuno, Koichiro Furuta, Takeshi Ando, Akira Tanabe, Takao Tamura, Hidenobu Miyamoto, Akio Furukawa, Masakazu Yamashina, "A 0.18  $\mu$  m CMOS Hot-Standby Phase-Locked Loop Using a Noise-Immune Adaptive-Gain Voltage-Controlled Oscillator", ISSCC Dig. Tech. Papers, 268(1995).
- [4] Masakazu Kurisu, Makoto Kaneko, Tetsuyuki Suzaki, Akira Tanabe, Mitsuhiro Togo, Akio Furukawa, Takao Tamura, Ken Nakajima and Kazuyoshi Yashida, "2.8Gb/s 176mW Byte-Interleaved and 3.0Gb/s 118mW Bit-Interleaved 8:1 Multiplexers", ISSCC Dig. Tech. Papers, 122(1996).
- [5] Mitsuhiro Togo, Akira Tanabe, Akio Furukawa, Ken Tokunaga and Toshimi Hashimoto, "A Gate-side Air-gap Structure(GAS) to Reduce the Parasitic Capacitance in MOSFETs", Symp. on VLSI Tech. Dig., 38(1996).
- [6] Akira Tanabe, Mitsuhiro Togo, Masaaki Soda, Hiroshi Tazuka, Tetsuyuki Suzaki, Akio Furukawa and Katsumi Emura, "High Performance CMOS for GHz Communication IC", Symp. on VLSI Tech. Dig., 134(1996).
- [7] Toyoji Yamamoto, Akira Tanabe, Mitsuhiro Togo, Akio Furukawa and Tohru Mogami, "High-Frequency Characteristics and Its Dependence on Parasitic Components in 0.1  $\mu$  m Si-MOSFETs", Symp. on VLSI Tech. Dig., 136(1996).
- [8] Masaaki Soda, Hiroshi Tezuka, Satomi Shioiri, Akira Tanabe, Akio Furukawa and Katsumi Emura, "A 2.4Gb/s CMOS Clock Recovering 1:8 Demultiplexer", Symp. on VLSI Circuits Dig., 69(1997).
- [9] Masakazu Kurisu, Masato Nishikawa, Hiroshi Asazawa, Akira Tanabe, Mitsuhiro Togo and Akio Furukawa, "An 11.8-GHz 31mW CMOS Frequency Divider", Symp. on VLSI Circuits Dig., 73(1997).
- [10] Akira Tanabe, Masayuki Soda, Yasushi Nakahara, Akio Furukawa, Takao Tamura and Kazuyoshi Yoshida, "A Single Chip 2.4Gb/s CMOS Optical Receiver IC with Low Substrate Crosstalk Preamplifier", ISSCC Dig. Tech. Papers, 304(1998).



本研究に関する国内学会発表

- [1] 田辺 昭、竹内 潔、山本 豊二、松本 武雄、國尾 武光、"0.15  $\mu$  m CMOS トランジスタの特性"、電子情報通信学会研究会 SDM94-59, 7(1994).
- [2] 栗栖 正和、金子 信、洲崎 哲行、田辺 昭、東郷 光洋、古川 昭雄、田村 貴央、中島 謙、吉田 和由、"3Gb/s CMOS 8:1 マルチプレクサ"、電子情報通信学会研究会 ED96-63 SDM96-46 ICD96-66, 59(1996).
- [3] 田辺 昭、東郷 光洋、古川 昭雄、"ギガヘルツ動作 CMOS 光通信用 IC"、電子情報通信学会研究会 ED96-194 MW96-157 ICD96-182, 43(1997)
- [4] 栗栖 正和、金子 信、西川 真人、浅沢 博、洲崎 哲行、田辺 昭、東郷 光洋、古川 昭雄、"0.15  $\mu$  m CMOS 技術による 3Gb/s マルチプレクサと 11.8GHz プリスケーラ回路の開発"、電子情報通信学会研究会 CAS97-85, 81(1998)
- [5] 田辺 昭、早田 征明、中原 寧、田村 貴央、吉田 和由、古川 昭雄、"2.4Gb/s CMOS ワンチップ光通信受信 IC"、電子情報通信学会研究会 ICD98, to be published
- [6] 早田 征明、手塚 宏、石川 肇、江村 克己、田辺 昭、東郷 光洋、古川 昭雄、"マルチメディア時代へ向けた高速光通信用 Si-IC の開発"、電子情報通信学会研究会, (1996)
- [7] 田辺 昭、東郷 光洋、早田 征明、洲崎 哲行、手塚 宏、古川 昭雄、江村 克己、"ギガビット動作 CMOS-DEMUX"、1996 年電子情報通信学会総合大会, (1996)
- [8] 早田 征明、田辺 昭、東郷 光洋、洲崎 哲行、古川 昭雄、江村 克己、"2.4Gb/s 光通信用 MOS-プリアンプ IC"、1996 年電子情報通信学会総合大会, (1996)
- [9] 田辺 昭、古川 昭雄、"GHz 領域での Si 基板伝達ノイズの測定と MOSFET への影響"、1997 年春季 第 44 回応用物理学関係連合講演会, (1997)
- [10] 田辺 昭、早田 征明、中原 寧、田村 貴央、吉田 和由、古川 昭雄、"2.4Gb/s CMOS1 チップ光受信器"、1998 年電子情報通信学会総合大会, C-12-63, 191(1998)



